

LLRF BOARD IN MICRO-TCA PLATFORM

Masatsugu Ryoshi ^{#,A)}, Kautaka Hayashi^{A)}, Kazunori Akai^{B)}, Shinichiro Michizono^{B)}, Takako Miura^{B)},
Furukawa Kazuro^{B)}, Jun-ichi Odagiri^{B)}

^{A)} Mitsubishi Electric TOKKI System Corp., 8-1-1 Tsukaguchi-honmachi, Amagasaki, Hyogo, 661-0001

^{B)} High Energy Accelerator Research Organization (KEK), 1-1 Oho, Tsukuba, Ibaraki, 305-0801

Abstract

Standardizations and open-sources are key-words for the new digital LLRF (Low Level RF) control system. The micro-TCA system is adopted for the digital LLRF control boards. The board is designed for the digital feedback control and will be an EPICS IOC (input output controller) by itself. In this paper, the architecture and components of the LLRF board are reported. The LLRF boards will be used for SuperKEKB LLRF and future (cERL, STF) LLRF.

μ TCA プラットフォームによる LLRF 制御ボード

1. はじめに

SuperKEKB は、低エミッタンス・ナノビーム方式を採用し、かつ、ビーム電流を倍増することで、世界最高の KEKB のルミノシティを、さらに 40 倍高める計画である。この低エミッタンスビームを得るためには、ビームの垂直方向のみならず、進行方向についても制御精度を向上させる必要が有る。このため、高周波制御システム(Low Level RF: LLRF)の精度向上が必要であり、デジタル制御をベースとしたシステムへ変更する^[1]。

LLRF には、制御精度の向上に加えて、制御のフレキシビリティ、今後の維持と改善が重要であり、現在開発中の加速器システム、例えば、cERL (Compact Energy Recovery Linac) の LLRF^[2] や STF (Superconducting Accelerator Facility) の LLRF^[3] に対応するように、標準化(共通化) とオープンソースの利用をキーワードとして仕様を定めた。

2. デジタル LLRF 制御システム

現状の KEKB リング加速器の LLRF からは、LLRF 1 台(クライストロン 1 本) 当たり空洞 1 台(現行 2 台) に構成変更、高精度なデジタル RF 制御に装置変更、トリスタン(1986 年) 以来使用されてきた CAMAC (Computer Automated Measurement and Control) 規格の代替を行う。新しい LLRF では H/W 構成を大きく見直し、高速なデジタル信号処理と、それ以外のデジタル信号処理に分けて、それぞれデジタル LLRF ユニットと PLC (Programmable Logic Controller) ユニットで分担させる(図 1)。一方、S/W からは、KEKB リング加速器(上位システム) に対して、制御互換性を確保(新旧 LLRF が混在) する事が求められている。KEKB リング加速器では、1994 年当初より EPICS (Experimental Physics and Industrial Control System) が採用され、高機能な制御システムを実現している。EPICS は、オープンソースによる制御システム構築の S/W toolkit (加速器制御のミドルウェア) であり、新旧 LLRF で、EPICS IOC (Input Output Controller) レベルでの互換性が求められる。

PLC は、産業用に広く使われており、標準化された多くの種類の入出力モジュール(汎用製品)の組合せで制御 H/W を構成できる。複数の加速器施設にて、PLC による加速器制御の実績を積みつつある。さらに、近年商品化された Linux 搭載型 PLC (FA-M3 シリーズの F3RP61: 横河電機株式会社製) を使う事で、CAMAC 代替と、EPICS IOC 機能も合わせてシンプルに実現可能となった^[4]。

3. デジタル LLRF ユニット

デジタル LLRF ユニットでは、標準化シェルフ内に、高速デジタル処理を行う LLRF 制御ボードや必要な機器を組合せて構成、以下の特徴を持つ。

- μ TCA プラットフォーム利用
- EPICS の組込み制御
- FPGA (Field Programmable Gate Array) によるフレキシブルな高速ロジック

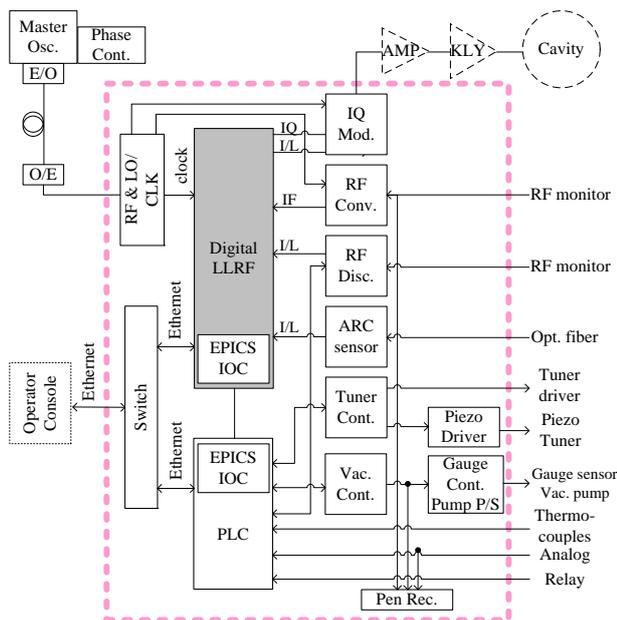


図 1 LLRF ブロック図(LLRF は破線内部)

3.1 μ TCA プラットフォーム

デジタルLLRFユニットを開発するにあたり、標準化プラットフォームは、PICMG(PCI Industrial Computer Manufacturers Group)で策定された小型通信機器向けの μ TCAを選択した。これは加速器システムでも重視される機器の遠隔監視制御機能および活線挿抜等の保守整備性を、低コストにて実現できるためである。フィードバック制御ボードは、LLRFの要求および μ TCA準拠したAMC(Advanced Mezzanine Cards)で開発・設計した。19インチ標準ラックに実装可能な μ TCAシェルフに、電源モジュール・空冷モジュール・MCH (μ TCA Carrier Hub)・CPU・HDD等を組み合わせて、デジタルLLRFユニットを構成する(図 2)。

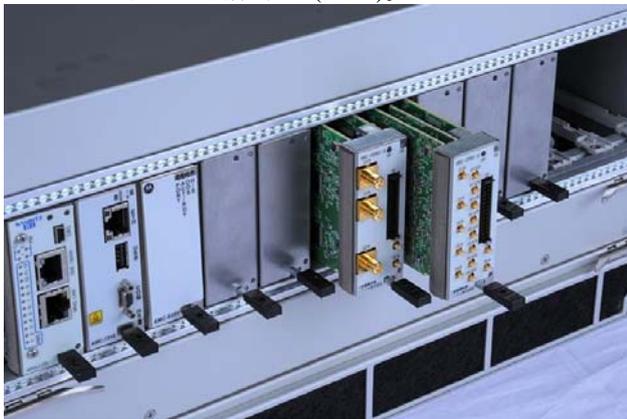


図 2 μ TCA シェルフ

3.2 EPICS

μ TCA の外部通信は GbE(Gigabit Ethernet)が基本である。KEK 加速器システム構築において標準となっている EPICS では Ethernet 上の通信プロトコルの CA(Channel Access)が使われ、短時間で高機能な通信制御が実現できる。LLRF 内の制御ソフトウェアは EPICS を使い、制御ボードに EPICS IOC を搭載することで、ソフトウェアの、柔軟性・拡張性・保守性・堅牢性を高めることができる^[6]。AMC で EPICS を動作させるための環境は、コスト・保守性・実績から OS には Linux、CPU には PPC(PowerPC)を採用した。

3.3 FPGA

加速器ごとに適応した高速なフィードバック制御を実現し、様々な機能拡張に対応するため、大規模 FPGA を採用した。また、AMC はカード面積が小さいため、PPC440・Ethernet MAC を内蔵する Virtex-5 FXT を選択し実装面積を小さくした。

4. LLRF 制御ボードの機能

IF 信号(約 10MHz) 4ch 入力に対して、4 倍周波数の外部クロックによって、16bit A/D 変換を行い、FPGA にて IQ 変換、及び、フィードバック・フィードフォワード計算を行った後に、2ch の D/A 変換から、IQ 信号を出力するボードである。このボードの最大の特徴は、EPICS IOC として働くこと

であるが、それを含め機能を以下に列挙する。

- ・ A/D 変換機能(16bit、約 40MHz、4ch)
- ・ IQ 変換機能
- ・ フィードバック・フィードフォワード計算
- ・ 振幅計算と高速インターロック判定機能
- ・ D/A 変換機能(16bit、約 40MHz、4ch)
- ・ 内部データの(高速・中速)モニタ機能
- ・ EPICS IOC 機能
- ・ IPMI 機能(活栓挿抜等)

5. LLRF 制御ボードの構成

表 1に、LLRF制御ボードの構成を示す。図 3に LLRF制御ボードのブロック図を、図 4にLLRF制御ボードの外観写真を示す。基板を親子構造として、親基板をデジタル回路、子基板をアナログ回路等に分離、子基板は(2段まで) スタッキングコネクタで接続(交換) できる構造とした。

表 1 LLRF 制御ボード構成

ADC	16bit / 130MSPS(max.), 4ch
DAC	16bit / 500MSPS(max.), 4ch
FPGA	Virtex-5 FXT(PPC440)
CPU	PowerPC 440(FPGA 内蔵)
OS	Wind River Linux 2.0
RAM	DDR2-SDRAM 128MB×5
ROM	NOR FLASH 64MB
Front panel Input	RF×4, Clock×1, Trigger×1, Analog×1, Digital×12
Output	IQ×4 (differential), Digital×12
LED	Hot swap status (blue), Error status (red), Running status (green)
Backplane interface	Fabric A: 1000BASE-BX, Fabric B-D: Reserved IPMB: Management
Size	PCIMG MTCA.0 準拠, Single Width / Full Height, 73.8*28.95*181.5mm

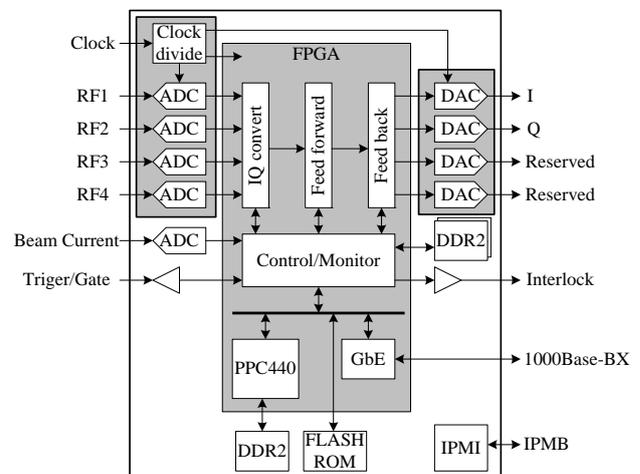


図 3 LLRF 制御ボードのブロック図



図 4 LLRF 制御ボードの外観

内蔵 CPU がプログラム実行時に使う RAM の他に、モニタしたい IQ データ等を 8ch 分、重要なイベント (beam abort 等) 前後の変化を連続的に記録するリングバッファ用の RAM を搭載している。

バックプレーンインターフェースは、外部通信用に GbE が 1 系統 (及び、IPMB が 1 系統) のみ使用し、将来拡張用の高速シリアル IO (SRIO, PCIe 等) が 3 系統ある。また、数十 ns の応答時間が必要なデジタル信号 (高速インターロック、ゲート信号等) 用には、前面パネルに入出力各 12 系統ある。

現在、LLRF 制御ボードを試作し、ADC/DAC の動作評価、ボード上の各ブロックの動作評価、GbE の通信評価、Linux/EPICS を組み込みと起動確認が終了した。現在、LLRF 機能 (フィードバック回路等) のロジック回路を作成中であり、その後、LLRF 制御ボードの総合評価を行う予定である。

6. 制御ボードのバリエーション

フィードバック用の LLRF 制御ボード (図 4) では、ADC 搭載の入力基板 (上段) と DAC 搭載の出力基板 (中段) を組み合わせた。親基板の H/W を共通化し FPGA の処理ロジックを変更したり、子基板を別機能に変更したり、最小限の初期投資 (H/W 製作) で EPICS IOC のバリエーションが大きく広がる。図 5 は、高速 ADC (14bit/400MSPS max./BW 1.4GHz) 搭載



図 5 モニターボード (バリエーション例)

の子基板を組み合わせて、直接 RF を入力し AD 変換後 IQ 変換したり、連続記録したりすることが出来るモニターボードの例である。

7. まとめ

標準化とオープンソースの利用をキーワードとして、新しいデジタル LLRF 制御システムを設計した。高速デジタル処理を行うボードは、 μ TCA を利用し標準化した。また、PPC 内蔵の大規模 FPGA を搭載し機能柔軟性を持たせたデジタル親基板と、機能拡張に対応させるため交換可能なアナログ入出力部の子基板から構成した。S/W は外部と通信のためにオープンソースの Linux/EPICS を組込む事で、本ボードを EPICS IOC とした。EPICS IOC となる PLC と組み合わせて、LLRF システムを (加速器制御システム同様に) EPICS 制御とすることで、短時間で高機能な制御の実現を図り、柔軟性・拡張性・保守性・堅牢性も高めることができる。

これまで試作 LLRF 制御ボードの H/W 動作評価、Linux/EPICS 組み込みと起動確認が終了した。現在、LLRF 機能のロジックを作成中で、今後 LLRF 制御ボードの総合評価の予定である。SuperKEKB の LLRF の他にも、cERL や STF の LLRF への適用を計画している。

参考文献

- [1] K. Akai, et al., "RF System for SuperKEKB", Proceedings of the 7th Annual Meeting of Particle Accelerator Society of Japan, Himeji, Aug. 4-6, 2010
- [2] T. Miura, et al., "Low Level RF System for cERL", IPAC'10, Kyoto, May 2010
- [3] S. Michizono et al., "Digital LLRF System for STF S1 Global", IPAC'10, Kyoto, May 2010
- [4] J. Odagiri et al., "APPLICATION OF EPICS ON F3RP61 TO ACCELERATOR CONTROL", Proceedings of the 6th Annual Meeting of Particle Accelerator Society of Japan, Tokai, Aug, 2009
- [5] J. Odagiri et al., "Fully Embedded EPICS-based Control of Low Level RF System for SuperKEKB", IPAC'10, Kyoto, May 2010
- [6] H. Deguchi et al., "EPICS Embedding for SuperKEKB LLRF Components", Proceedings of the 7th Annual Meeting of Particle Accelerator Society of Japan, Himeji, Aug. 4-6, 2010