

ビームエキサイタ用高速半導体スイッチ

佐藤 尚登^{1,A)}、内藤 孝^{B)}

A) パルス電子技術株式会社

〒278-0016 千葉県野田市二ツ塚道下 274

B) 高エネルギー加速器研究機構

〒305-0801 茨城県つくば市大穂 1-1

概要

円形加速器の中での粒子の振る舞いを表す重要なパラメータとしてベータトロン振動数(Tune)がある。この Tune は、外部から高圧パルスを与える事によってビームをエキサイトさせ測定する事が出来る。

ATF(Accelerator Test Facility)ダンピングリングでは、エキサイトさせたビームの振幅の減衰が短時間であるために高圧パルサーによって最適の振幅を与え、同期測定することが要求される。

ここに用いられる高圧パルサーは、高速短パルスで高信頼性が要求される。

今回、この高圧パルサーに使用する高速半導体スイッチを開発したので報告する。

1. はじめに

今回開発した高速半導体スイッチは、KEK-ATF のダンピングリングで Tune 測定に使用するビームエキサイタ (beam exciter) 電極 (50ohm) に、電圧 3kV.P. パルス幅 462ns (平坦部 100ns)、繰り返し 1pps のパルスを供給する高圧パルス電源に使用するスイッチである。

2. 高圧パルス電源の構成及び性能

パルス発生回路は、旧来から良く用いられている P.F.N (Pulse Forming Network) 回路である。図 1 に、回路構成を示す。

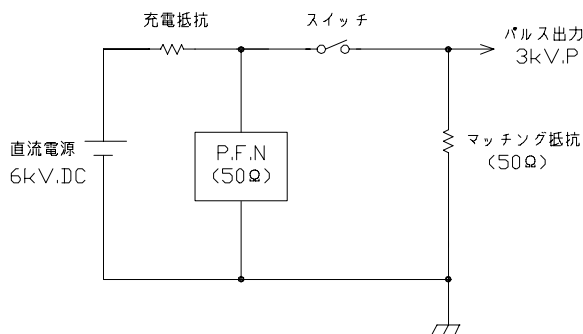


図 1 : P.F.N 回路

出力パルスの波形は、スイッチの特性に大きく左右される。

また、理想的なスイッチの条件としては、ON 時のインピーダンスが低抵抗 ($R_{on} \approx 0 \Omega$)、スイッチング速度が高速 ($tr \approx 0s$) が挙げられる。ところが、従来のハードチューブ方式では、スペースファクタや短寿命といった問題があるため、より高圧・高速・高信頼の半導体スイッチが待望されていた。

今回の開発テーマは、このスイッチの小型化及び高速性についてである。

表 1 に、ビームエキサイタ電極の要求仕様を示す。

項目	仕様
電圧	~3kV
パルス幅	462ns 以下 パルステイルを含む
立ち上がり時間	20ns 以下
平坦部	100ns
繰り返し	1pps
インピーダンス	50Ω

表 1 : ビームエキサイタ電極要求仕様

3. 高速半導体スイッチの構成及び性能

図 2 に、高速半導体スイッチのブロック図を示す。

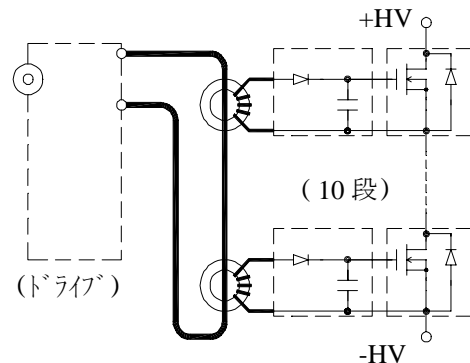


図 2 : 高速半導体スイッチブロック図

¹ <http://www.mmjp.or.jp/peec/>

ドライブ回路から、高圧スイッチ部へパルスドライブ信号を絶縁ケーブルにて供給する。

高圧スイッチ部は、POWER MOS FET を 10 個直列に接続し、配線のインダクタンス成分を極力小さくするために、スイッチの高圧端子間の距離が最短となる様な非常にコンパクトな構造配置となっている。

また、高速半導体スイッチの外形寸法は、200(W)×250(D)×50(H)である。

表 2 に高速半導体スイッチの仕様を示す。

項目	仕様
最大動作電圧	6kV
ピーク電流	100A.P
パルス幅	500ns 以下
立ち上がり時間	20ns 以下
繰り返し	1pps
供給電源	DC24V, 0.5A
トリガ入力信号	TTL

表 2 : 高速半導体スイッチの仕様

4. 動作試験

4.1 試験回路

今回開発した高速半導体スイッチは、実使用条件での性能評価とするために、図 3 の試験回路での評価とした。

この回路は、同軸ケーブルを用いた P.F.N 回路で、ケーブルには、5D-2V(特性インピーダンス 50Ω)、ケーブル長 15m を使用し、半値幅 150ns の方形波パルスを出力する。

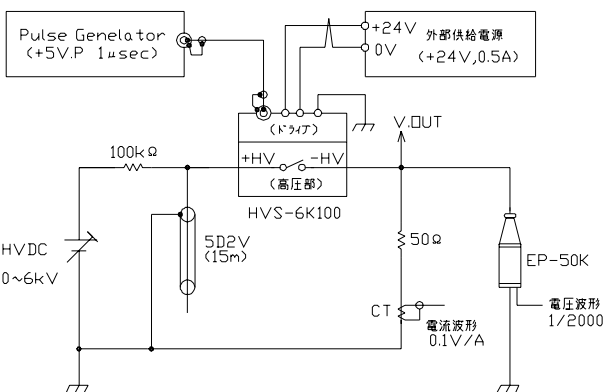
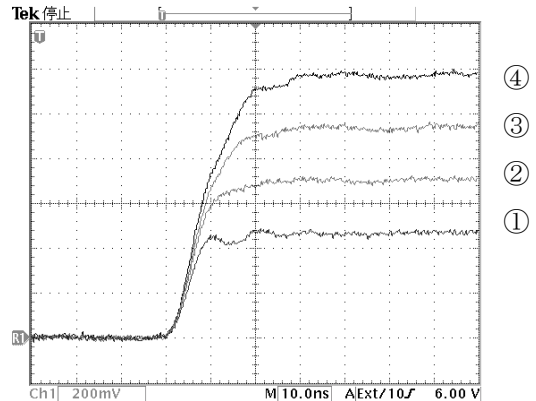


図 3 : 評価試験回路

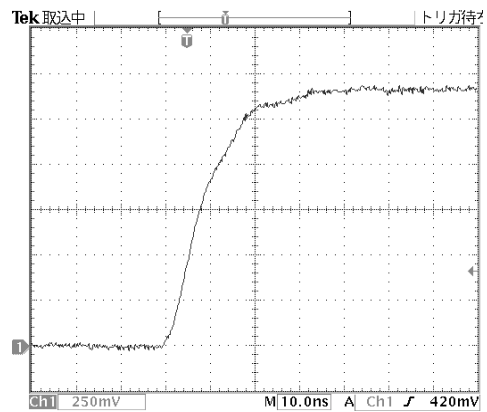
4.2 動作試験

図 3 の試験回路にて、直流電源の充電電圧を可変させた時の、各電圧における立ち上がり時間及び波形を、図 4、図 5 及び表 3 に示す。



電圧軸 400V/div, 時間軸 10ns/div
HVDC=①2kV,②3kV,③4kV④5kV

図 4 : HVDC.2kV~5kV 時の立ち上がり波形



電圧軸 500V/div, 時間軸 10ns/div

図 5 : HVDC.6kV 時の立ち上がり波形

充電電圧	立ち上がり時間
2kV	7ns
3kV	10ns
4kV	13ns
5kV	15ns
6kV	18ns

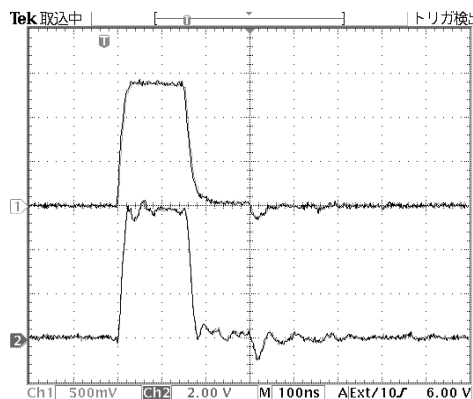
表 3 : 各電圧における立ち上がり時間

図 4、図 5 の中で、電圧を上げて行くと立ち上がりが若干なまる傾向にあるが、これは電流増加に伴うもので、FET 素子自体の特性が現れているものと考えられる。

今回の開発にあたって、POWER MOS FET の素子選定を行い、各試験を行った結果、素子単体の時と 10 個直列の時との立ち上がり時間は、ほぼ同じ特性である事を確認した。

HV.DC が 6kV における出力電圧対出力電流の波形を図 6 に示す。

図 6 の結果より、HV.DC6kV の時、立ち上がり時間 18ns、パルス半値幅 150ns、パルステイルまでの幅 450ns を確認した。また、この時のトリガー入力対出力パルスのジッターは、1ns 以下の性能である。



(上)出力電圧波形 1kV/div

(下)出力電流波形 20A/div

時間軸 100ns/div

図 6 : HVDC.6kV 時の出力電圧対電流波形

図 3 の試験回路では、HVDC が 6kV の時、スイッチには 60A.P の電流が流れる。ここで、高インピーダンス回路、すなわち低電流(10A.P)時のスイッチン

グ動作においては、より高速立ち上がり(10ns)も可能である事がわかり、他分野への応用が期待できる。

以上の結果から、ビームエキサイタ電極での実使用が可能となり、現在連続運転による信頼性評価を行っている。

尚、電圧波形観測用高圧プローブはパルス電子技術(株)製の EP-50K(分圧比 1/2000)を用い、電流波形観測用 CT はピアソン社製の MODEL-110(CT 比 0.1V/A)を使用した。

5. むすび

今回開発した高速半導体スイッチに使用している素子は、POWER MOS FET であり、そのスイッチング速度は素子の特性で決定される。この FET 素子は、ゲート容量(Ciss)が大きいため、高速動作させるのは困難であるが、そのドライブ回路を改良する事により、素子性能を十分に引き出す事が出来た。

これにより、高圧スイッチの高速化、小型化、長寿命化という開発成果を得た。