

U-Boot SPL 2013.01.01 (Jun 01 2015 - 13

BOARD : KEK MRMPS Board

SDRAM: Initializing MMR registers

SDRAM: Calibrating PHY

SEQ.C: Preparing to start memory calibration

SEQ.C: CALIBRATION PASSED

SF: Read data capture delay calibrated to 3 (0 - 7)

SF: Detected N25Q512 with page size 65536, total: 67108864

↵

↵

U-Boot 2013.01.01 (Jun 01 2015 - 13:26:55)

J-PARC MRのMPS装置 の紹介とそこから派生 されることの提案

中川、秋山、佐々木、木村
J-PARC 制御グループ

目次

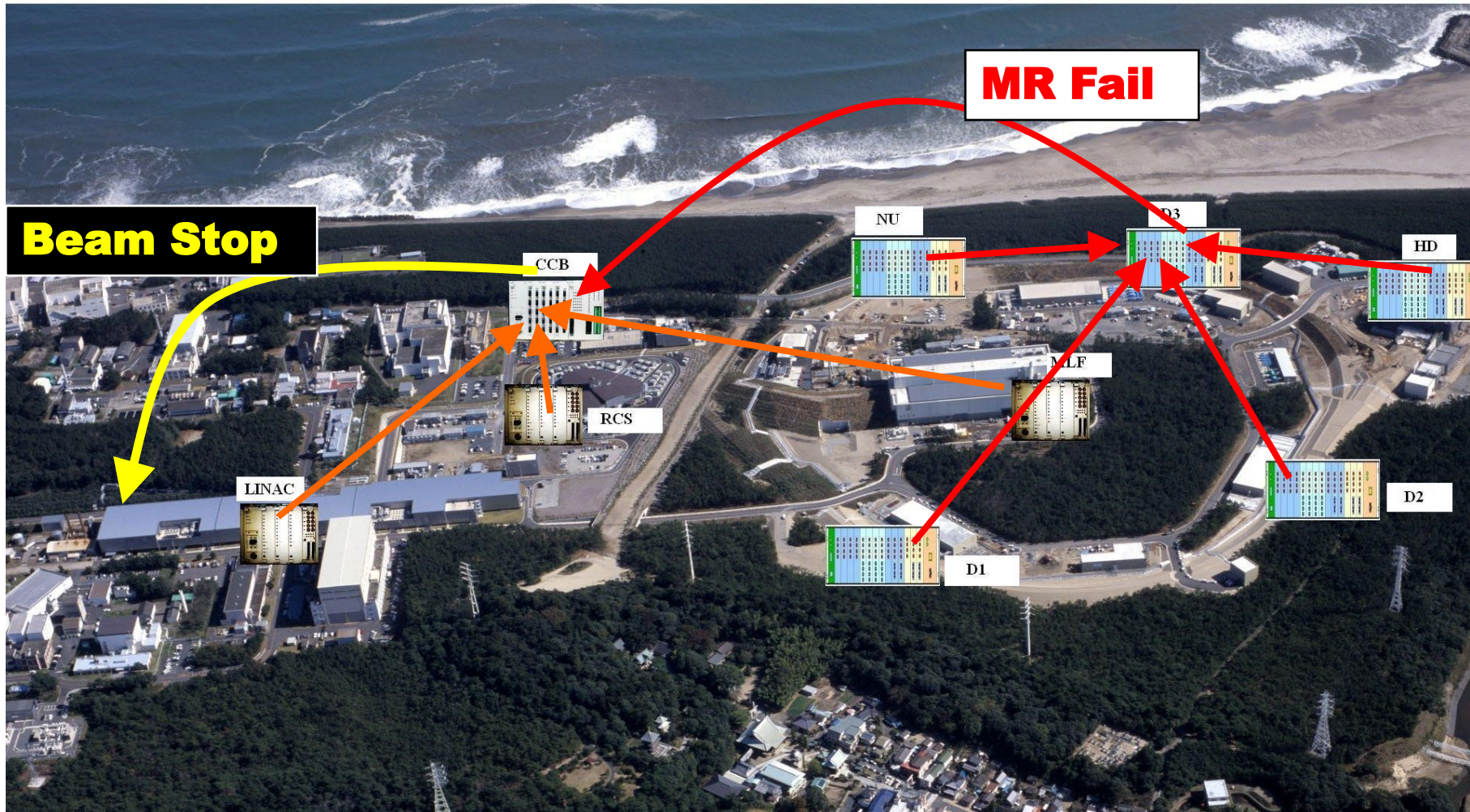
1. メンバー
2. 現状
 1. J-PARC MPS 装置 配置
 2. 管理と利用
 3. MR-MPS モジュール
 4. 管理、表示プログラム群
3. 改訂版CPU
 1. 新旧比較
 2. 仕様
 3. 開発状況
4. 問題と業界情報把握
協力をお願いします
5. まとめ

メンバー

- 佐々木: 新CPU 設計 各種ボードのバージョンアップ
 - 秋山: 現稼働システムの設計
 - 木村: 今後の運用担当
 - 中川: 企画、立案、運用担当
-
- J-PARC制御グループ: 各種インフラ担当

現状

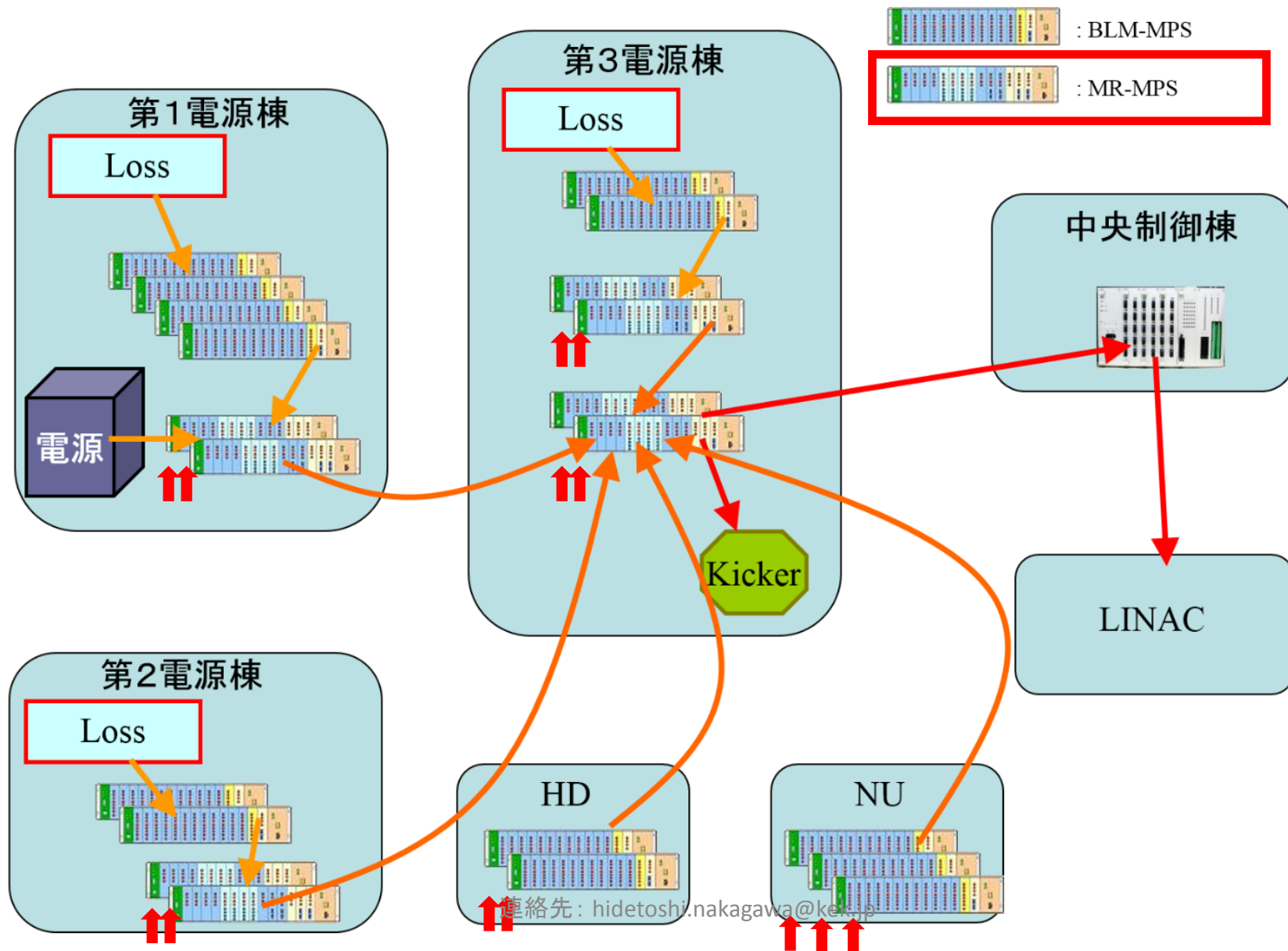
J-PARC MPS 装置 配置



1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99	100
---	---	---	---	---	---	---	---	---	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	-----

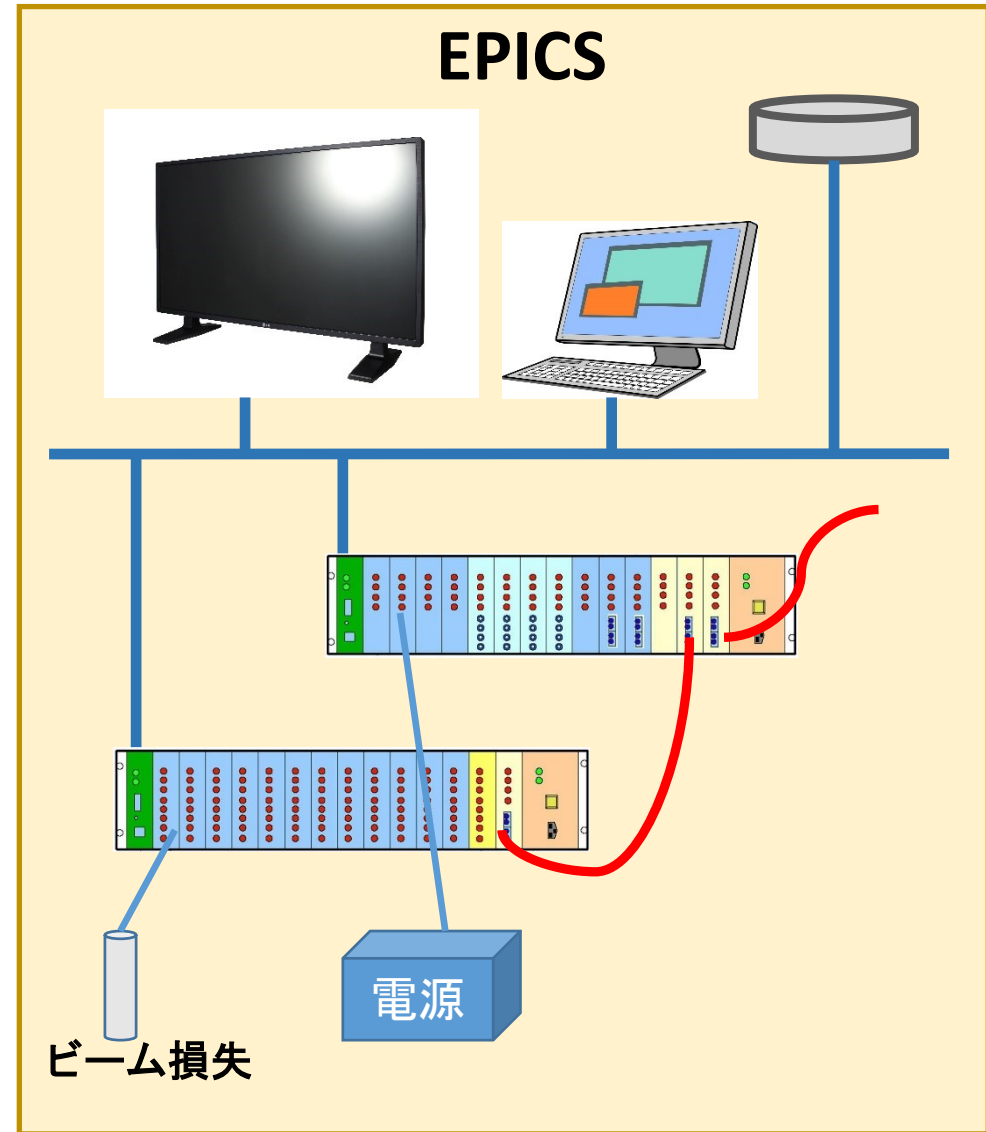
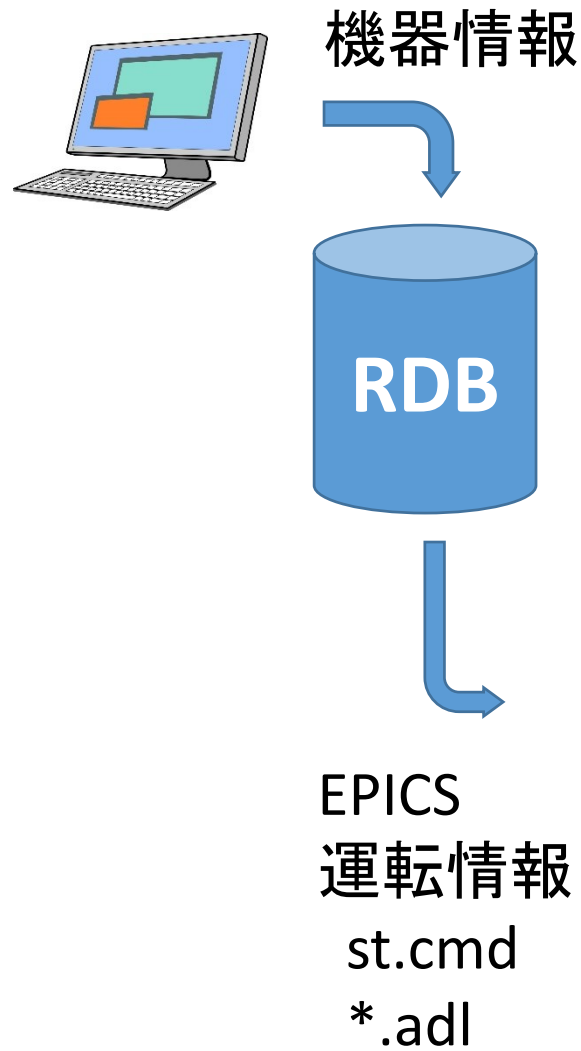
Subrack for MR MPS

J-PARC MPS 装置 MR部 詳細配置



管理と利用

- 基本情報: RDB
 - MySQL
- 運用環境: EPICS
- 入力信号:
 - 機器故障
 - ビーム損失
- 出力信号:(x2)
 - All-Stop
 - MR-Inhibit
 - SX-Abort
 - (FX-)Abort



MR-MPS モジュール

ID	Name	Use	Input	Output
1	MR-MPS-FCT	Optical transceiver	2	2
2	MR-MPS-OPT	Relay signal input	4	0
3	MR-MPS-OLC	Optical signal input	4	0
4	MR-MPS-TTL	TTL signal input	4	0
5	MR-TTL-GIO(TTL)	TTL In/Out	2	2
6	MR-TTL-GIO(Relay)	Relay In/Out	2	2
10	MR-MPS-CPU	CPU(IOC)	0	0
11	MR-MPS-POWER	Power Supply	0	0

管理、表示プログラム群

SubRack.tcl

Name

- + /

Room Number

< > < >

Board:

NULL
MR-MPS-FCT
MR-MPS-OPT
MR-MPS-OLC
MR-MPS-TTL

Update List Finish

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
10	1	1	4	1	1	1	0	0	4	4	0	5	1	1	11

管理、表示プログラム群

The screenshot shows a software interface for device management. The main window is titled "DevRecInsert" and features a prominent green banner with the text "Dev Insert/UpDate (Ver 2.0)".

Order Section:

- Id:** A large orange button labeled "Id".
- Dev Name:** A text input field containing "350BT-BUPS".
- Count:** A numeric input field with a value of "144".
- Buttons:** A red "Alive" button, a "D1" button, and a "1" button.
- TPx:** A numeric input field with a value of "3".
- TP No.:** A numeric input field with a value of "15".
- Bottom Buttons:** A large pink "Insert / Update Fire" button, a cyan "Fin." button, a cyan "All List" button, and a red "Check Current" button.

Configuration Section:

- 1:Groups:** A text input field with "3-50BT".
- 2:SlotNo:** A text input field with "7".
- Board:** A text input field with "MR-MPS-OPT".
- 3:Channe:** A text input field with "1".

Select Section:

- A dropdown menu showing "1" with left and right arrow buttons.
- A list of options: Control, Ext(Slow), Comissioning, Monitor, RF.

Table Section:

Masks	Mode	Output
Default	---D	MR+Abt
Current	---D	MR+Abt

SubRack.tcl Window:

A smaller window titled "SubRack.tcl" is visible in the top-left corner. It contains fields for "Name" (D3A), "Room" (D3), and "Number" (A). It also has a "Board:" field with "MR-MPS-TTL" and a "Number" field with "4". There are navigation buttons and a small table at the bottom.

管理、表示プログラム群

The image displays a control interface for a SubRack.tcl system, consisting of several windows and a main summary display.

SubRack.tcl (Top Left): A window showing configuration for a SubRack. It includes fields for Name (D3A), Room (D3), and Number (A). It has navigation buttons (Update, List, Finish) and a small table with columns for Order, Id, and Dev Name.

DevReinsert (Middle Left): A window titled "Dev Insert/UpDate (Ver 2.0)". It contains configuration fields for 1:Groups (3-50BT), 2:SlotNo (7), Board (MR-MPS-OPT), 3:Channe (1), TPx (3), and Tp No. (15). It also has buttons for "Insert / Update Fire", "Fin", "All List", and "Check Current".

MR-MPS: Summary (Main Display): A large window showing the status of MR-MPS devices. It features a green header "MR-MPS: Summary" and a blue background for the device status. The status is divided into two columns: "To CER" and "From Each BLDNG".

To CER: A yellow box containing two columns of status indicators. The first column is labeled "All" and the second "MR". Each column has two rows labeled "A" and "B". The "All" column has two green circles, and the "MR" column has two green circles.

From Each BLDNG: A blue box containing a list of devices with their status indicators. The devices are D1, D2, D3, HD, and NU. Each device has two green circles. The "NU" device has a red box around its status indicators.

Other Elements: A green box labeled "Abort Request" with two green circles. A red box labeled "! All Reset". At the bottom, there are four buttons: "MR Devices", "BT Loss", "MR Loss", and "Loss SP & HV".

管理、表示プログラム群

SubRack.tcl

Name: D3A

Room: D3, Number: A

Order: 1 / 2

Update List Fini

DevReinsert

Dev Insert/UpDate (Ver 2.0)

Order: 1 / 2

Select

Id: 350BT

Dev Name: 350BT-BUPS

- 144 + / 1

Alive D1 1

3 D1 - 1

Insert / Update Fire

Fin All List Check C

MR-MPS: Summary

From Each BLDNG

To CER

All MR

A B

Abort Request

! All Reset

MR Devices BT Loss MR Loss Loss SP &

MR-MPS: Main Ring Devices V2

D1		D2		D3	
● 350Loss0	● NCTfan	● MrLoss0	● NCTfan	● MrLoss1	● NCTfan
● 350Loss1	● 350BtI11Beam	● MrLoss1	D2-Imy-A	● MrLoss0	● PPS1
● MrLoss0	● Exciter1	● MrVac	D2-Imy-F	● MrVac	● Exciter2
● MrLoss1	● SkemQuadB11	● ESS1	Oct-D2-1	● FxAbtSeptum1	● SkemQuadB31
● P-Bend-Main	● SkemQuadB12	● ESS2	Oct-D2-2	● FxAbtSeptum2	● SkemQuadB32
● P-Bend-Plus	Oct-D1-1	● SM1	TrimS048	● FxAbtSeptum3	Oct-D3-1
● 350BtPS1	Oct-D1-2	● SM2	TrimS055	● FxAbtSeptum4	Oct-D3-2
● 350BtPS2	● Steering	● SM301	● Steering	● FxAbtKicker1	Trim0154
● 350BtPS3	● MainPsAstop1	● SM323	● MainPsAstop1	● FxAbtKicker2	● Trim0155
● 350BT_Str-1	● MainPsAstop2	● Bump1	● MainPsAstop2	● FxAbtKicker3	Trim0156
● 350BT_Str-2	● MainPsBstop1	● Bump2	● MainPsBstop1	● FxAbtKicker4	● Steering
● 350BT-BUPS	● MainPsBstop2	● Bump3	● MainPsBstop2	● FxAbtKicker5	● AbtQ
● 350Vacuum	● QFP	● Bump4	● BM5	FxKM-TDC	● MainPsAstop1
● MrVac	● QFT	● 6Pole1	● BM6	● RFHV1	● MainPsAstop2
● InjSep1	● QDR	● 6Pole2	● QDN	● RFHV2	● MainPsBstop1
● InjSep2	● SDB	● EQ	● QFN	● RFHV3	● MainPsBstop2
● InjKicker1	● QDT	● RQ1	● SpillFB	● RFHV4	● BM1
● InjKicker2	● QFS	● InjKicker3	● Fluorinert	● RFHV5	● BM2
● InjKicker3	● SFA	● InjKicker4	● EQ-Quick-Stop	● RFHV6	● QDX
● InjKicker4	● SDA	● InjBump1A	● Timing(D1-1)	● RFHV7	● QFX
● InjBump1A	● QDS	● InjBump2A	● Timing(D1-2)	● RFHV8	
● InjBump2A	● QFR	● InjBump3A		● RFHV9	
● InjBump3A	● BM3	● InjKM-TDC			
● InjKM-TDC	● BM4	● Inj-CompRM			

! All Reset

Timing(D1-1) Timing(D1-2)

Timing(D2-1) Timing(D2-2)

Timing(D3-A) Timing(D3-B)

Timing(D3-1) Timing(D3-2)

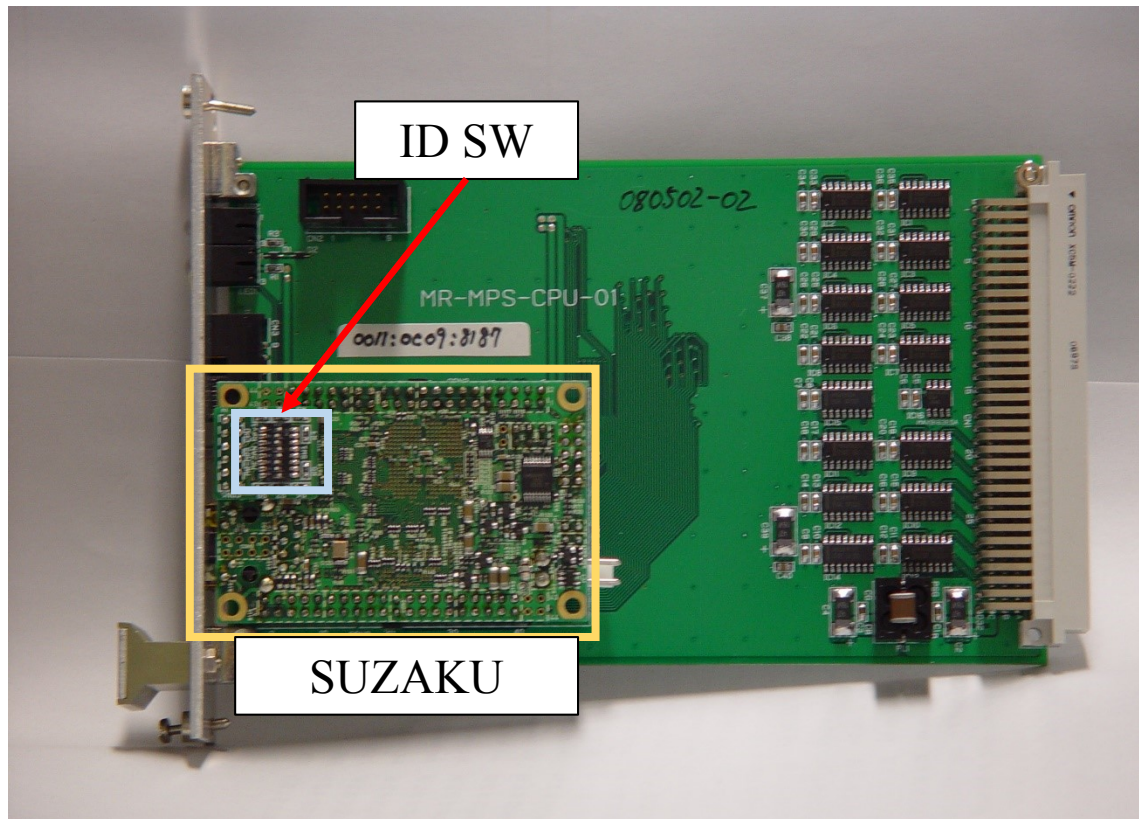
連絡先: hidetoshi.nakagawa@kek.jp

改訂版CPU

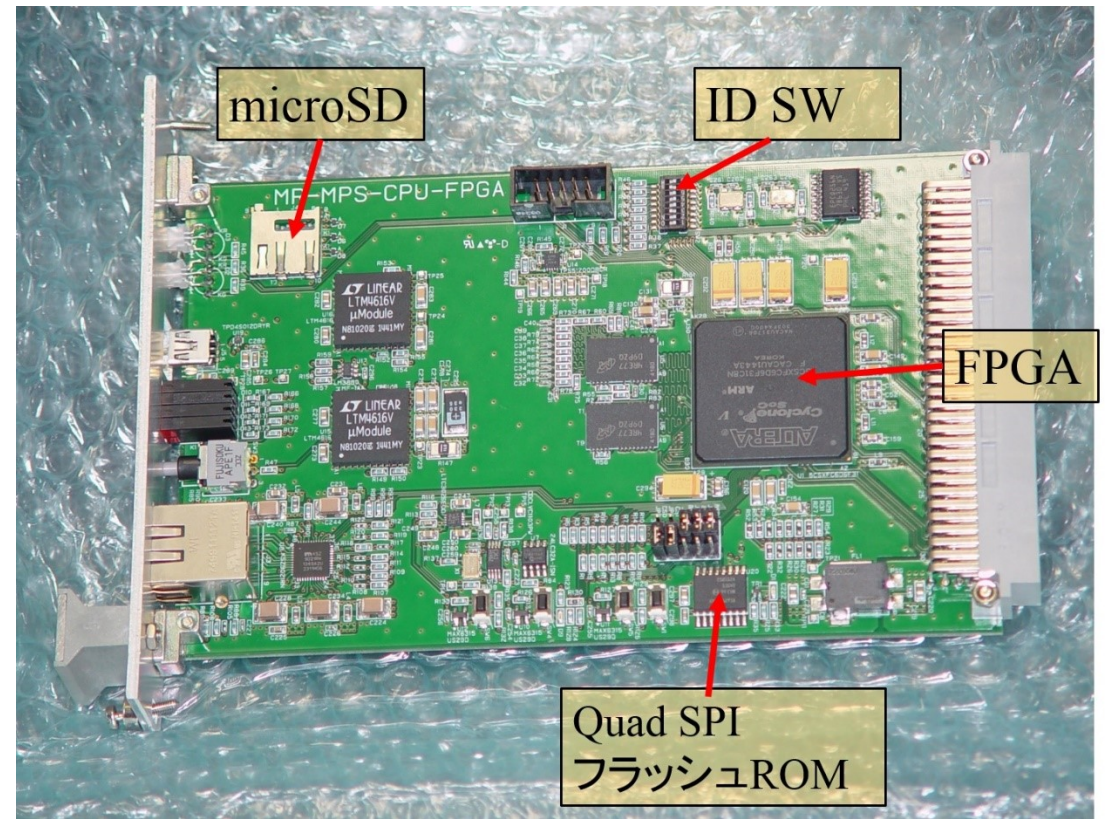
連絡先: hidetoshi.nakagawa@kek.jp

比較1

現行CPU



新CPU



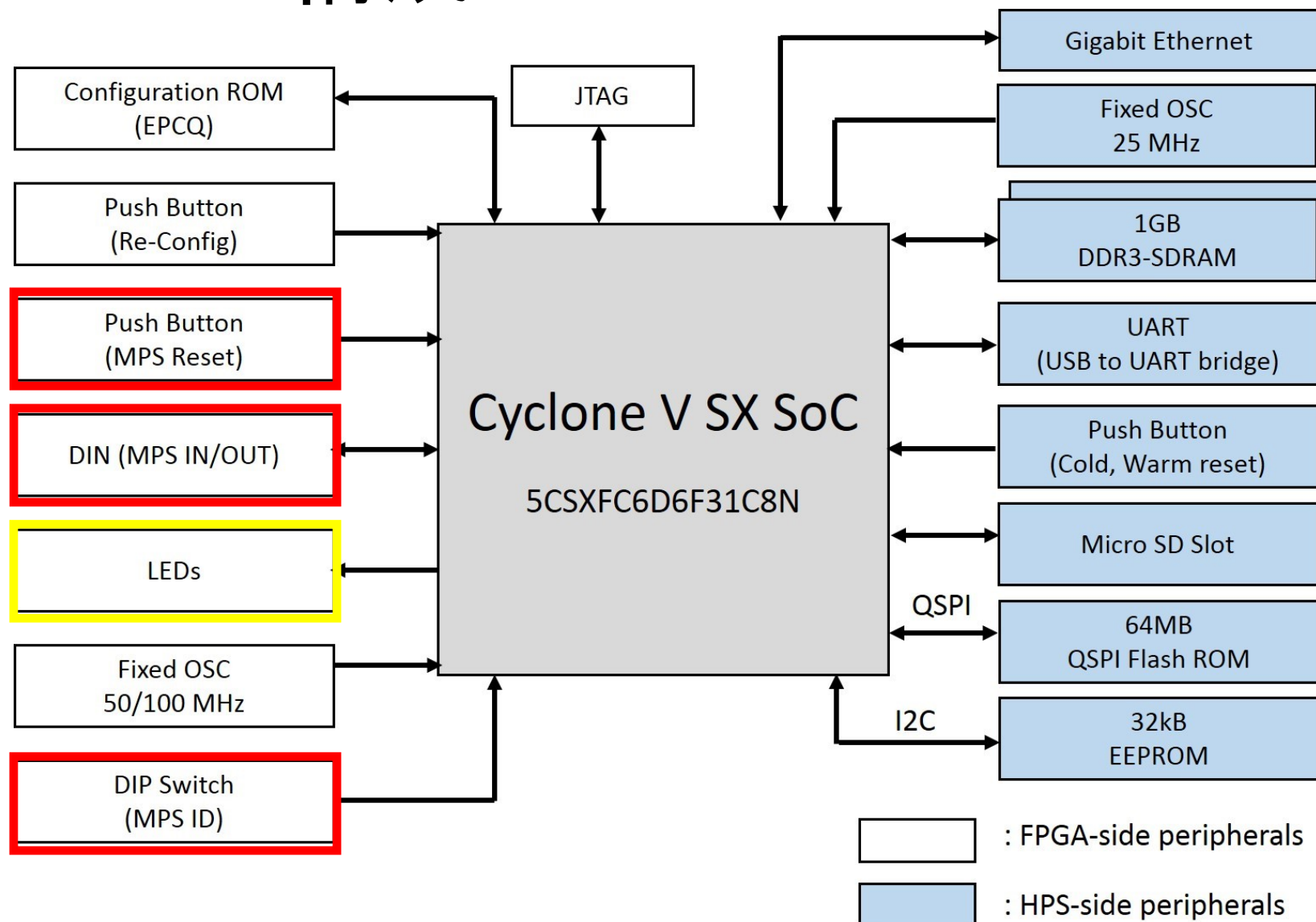
比較2

	現行MR-MPS-CPU	新MR-MPS-CPU
FPGA メーカー	Xilinx	Altera
FPGA素子	Virtex-4 FX (XC4VF12-SF363)	Cyclone V (5CSXFC6D6F31C8N)
FPGA 記述言語	VHDL	旧部分: VHDL 追加部分: Verilog
開発環境 (LINUX)	ATDE (Atmark Techno Development Environment) gcc-4.1-powerpc-linux-gnu	Ubuntu12.04 Poky (Yocto Project) arm-poky-linux-gnueabi-gcc
論理素子数の余裕	小	大
ロジック素子数(?)	12k ロジックセル	110k Logic Element
焼き直し		新しくプログラムを書くことも無かったことや、修正する部分もほとんど無かったため楽。 Linux OSのビルド方法やカスタマイズ方法の環境が変わり、大変。

仕様

FPGA Maker	ALTERA
Product	Cyclone V 5CSXFC6D6F31C8N
CPU	ARMv7 Processor Brought up 2 CPUs
Memory	1 GB
OS	Linux version 3.10.31-ltsi-05131-g55fdf0e (Yocto Project)
Interface	Ethernet 10/100/1000 USB mini-B MR-MPS コネクタ J-TAG

新ボードの構成



開発に関して

- 開発第1版は学習用

- 作って何が起こるかを知るためのもの
- 結果:
 - 動作不安定
 - 配線ミス

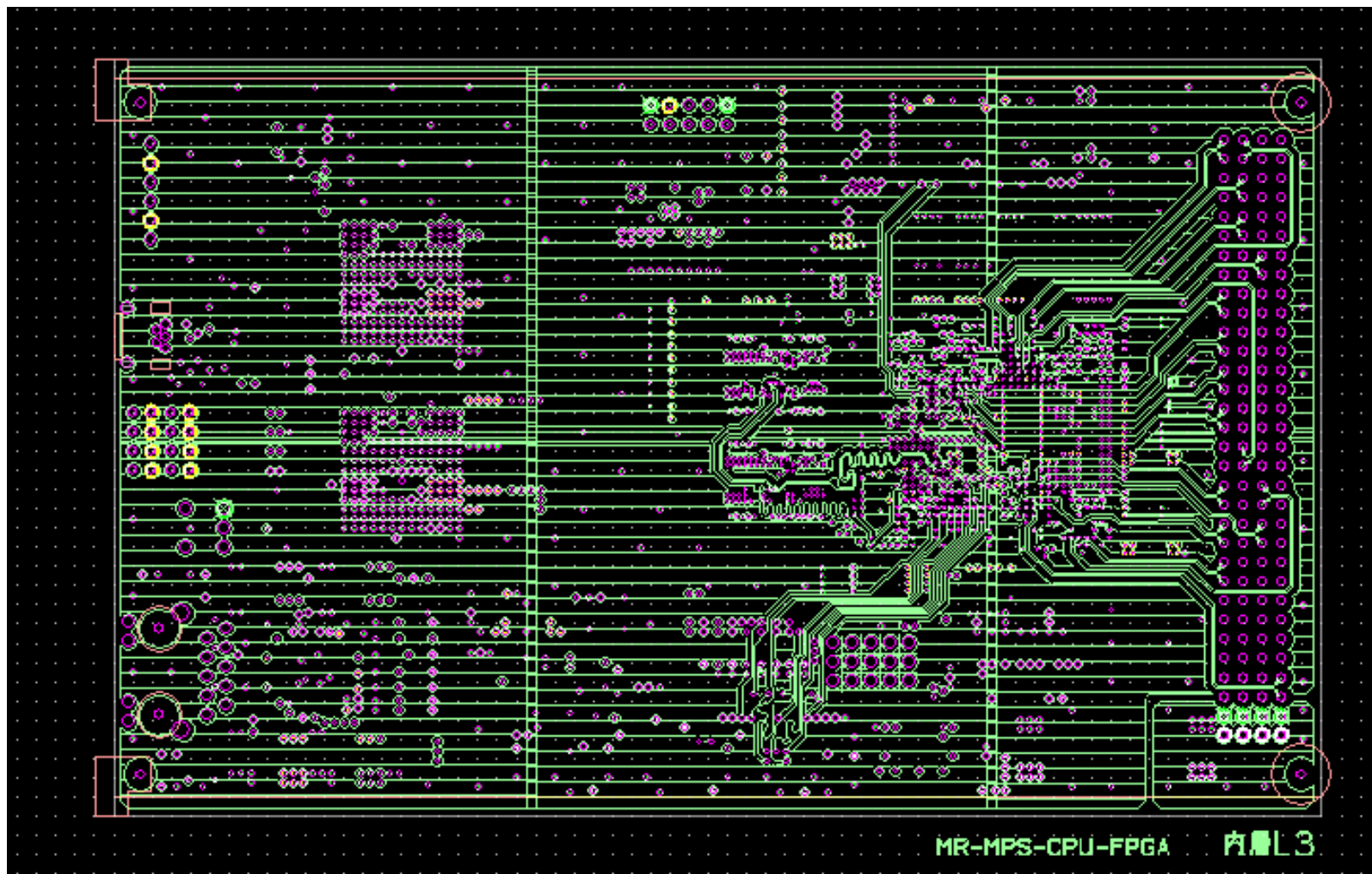
- 従来と同じ程度の注意で発注
- 確認も設計者任せ

- 開発第2版: 実用化確認版

- 機能確認
 - 従来機材との適合性検査
 - 長期安定性試験
 - 今後の拡張の準備
-
- 開発第1版の問題点の確認と発注の仕方に注意をはらう。
 - 何度も確認する

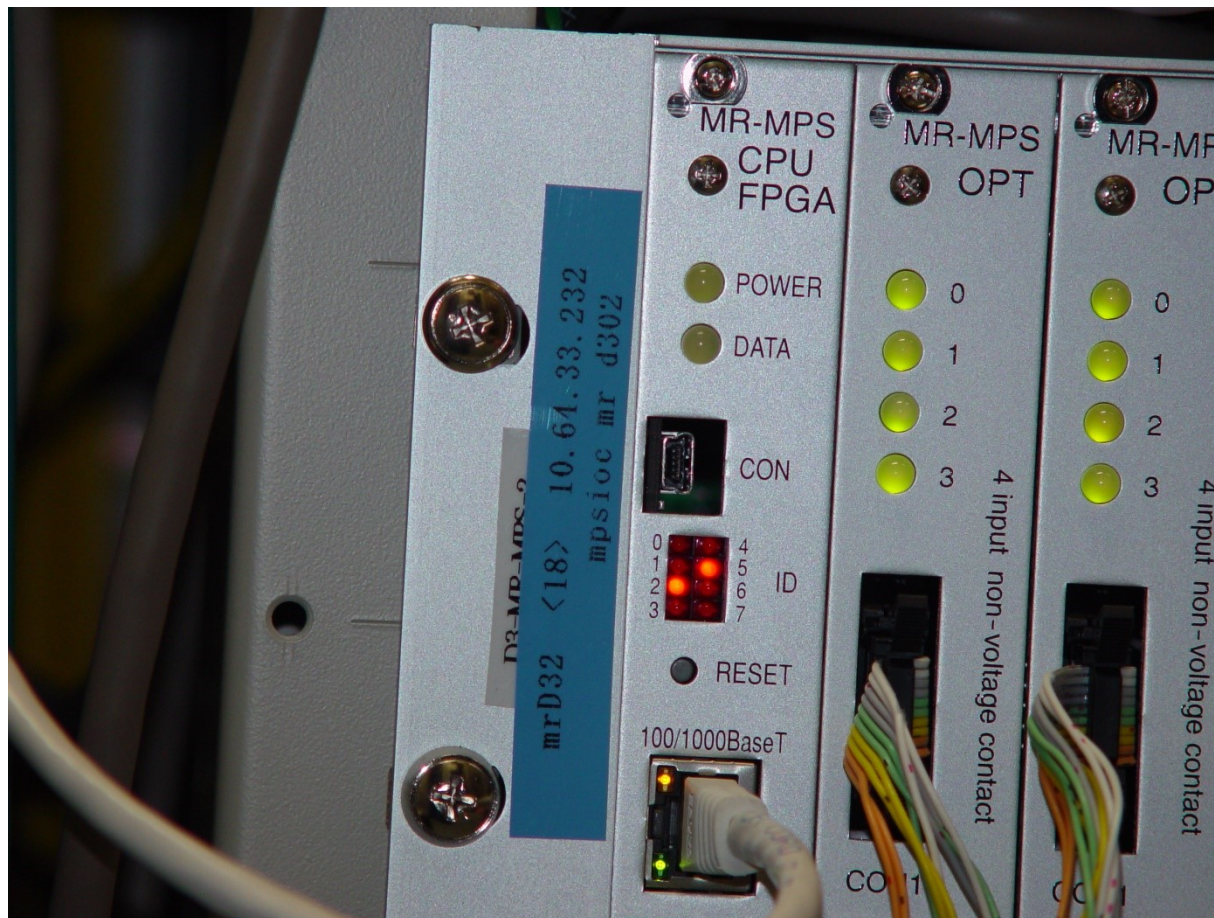
基盤図

- 例:L3の図
- 何をしたか
 - 配線を追っかけ、線の長さ確認(の練習)
 - 異常配線がないか確認(の練習)



試験の様子

- 第3電源棟 2号機
<通称 mrD32>
- ID: 18
- CPUボード名称
MR-MPS-CPU-FPGA
(開発第2バージョン)
- 「Reset」は入出力用



開発結果

機能確認(プログラム開発など)	実用上問題なし
実機組み合わせ試験	異常なし
長期安定性試験	実施中

問題と業界情報把握

連絡先: hidetoshi.nakagawa@kek.jp

自作ボードのMAC-Address

- 自主開発でMAC-address はどうしているか？

① 個別にIEEEに申請

② 自分で使っている領域を適宜使用

③ 研究所（事業所）内で総合的に管理（事業所でIEEE申請）

④ 研究所（事業所）内で総合的に管理（事業所でIEEEせず）

⑤ MAC-address の付いたイーサネット用素子を使う

新規の機材が必要になった時

- MPS装置の様なものが必要になった時
 - ① 自主開発
 - ② 既製品の購入
 - ③ 海外で発表されたもののコピー製造
 - ④ 国内で発表されたもののコピー製造

J-PARCのMRのMPS装置を利用する可能性

KEK(つくば)で、使用したり評価試験をするグループもあるので、よその研究所ではどうか？

* 特に売り出そうという意図ではないです。

- KEK (J-PARC) のMPS装置を皆さん使いませんか？
 - ① 安ければ使う
 - ② 稼働状況を見て考える
 - ③ もっといいのを開発する
 - ④ 回路図もらって作る << 動かないです !!!

最後に

連絡先: hidetoshi.nakagawa@kek.jp

知識をため使う

- 作業はMRMPS-CPU-FPGAの製造
- 内容: CPU-FPGA-IO
- 転用: CPU-FPGA-AD/DA → たとえば ビーム用DCCT 信号処理
24ビットなら十分な解像度をリニアで
連続波形をとって、EPICS処理も容易

知識をためそれを**各方面で使う**。単に買うより望ましい。

まとめ

- J-PARC MPS (MR)は建設当時から順調に稼働
- システムの拡張のためにはICの供給問題などで改版が必要
- CPUボードをALTERA社のCyclone Vを使って試作 (5CSXFC6D6F31C8N)
- 東海での従来機材との組み合わせ試験完了: **問題なし**
- **MAC-addressをどうするか？**

お願い

- 加速器学会で一ブロック確保して、メンバーに16個単位で配布
 - ① YES
 - ② NO

ありがとうございます

