

## SPring-8 新規 Bunch-by-Bunch Feedback システム信号処理回路の開発 DEVELOPMENT OF A NEW BUNCH-BY-BUNCH FEEDBACK SIGNAL PROCESSOR AT THE SPRING-8 RING

小林和生<sup>#</sup>, 中村剛, 正木満博, 藤田貴弘

Kazuo Kobayashi <sup>#</sup>, Takeshi Nakamura, Mitsuhiro Masaki, Takahiro Fujita  
Japan Synchrotron Radiation Research Institute (JASRI)

### Abstract

Transverse bunch-by-bunch feedback (BBF) system for the SPring-8 storage ring has been in operation from January 2004. Signal processors which are being used for BBF now were developed in 2004 and in Sept. 2005 began to utilize. This current processor is also to install many lightsources or accelerator rings both within and outside Japan. A new BBF signal processor aims to renew completely with the latest devices which are FPGAs, ADCs and DACs. Specifications of the new signal processor are designed to satisfy to reduce external devices and to realize an easy tuning and an initial adjustment. And also various diagnostic methods are available.

### 1. はじめに

放射光リングである SPring-8 蓄積リングでは、2004 年 1 月から蓄積ビーム不安定性を抑制するため FPGA をデジタル信号処理に用いた Bunch-by-Bunch Feedback (BBF) システム<sup>[1][2]</sup>を開発し導入している。現在、同システムで運用中の信号処理回路は 2004 年度に開発、2005 年 9 月より SPring-8 のビーム運転に適用しており、内外の放射光リングの BBF システムにも採用されてきた。しかしながら開発から 10 年が経過し、使用しているデバイスの入手が困難になりつつあるため、今回、最新のデバイスを採用し、回路を一新した。ADC/DAC には 500MHz データレートで 12/16 ビットのもの、FPGA には内部演算サイクルとして 4nsec が可能なものを採用し、BBF システムとして RF 入力フロントエンド回路の簡略化、及びアナログ出力能力向上によりこれまでキッカー駆動用パワーアンプの入力とするため DAC 出力に外付けする必要のあったプリアンプの省略を図ると共に、これまで BBF システムを運用するにあたって多くの外付け回路が必要であったバンチ電流強度感応自動アッテネータシステム、ダンピングタイム評価システム等も新回路ではほとんど外付け回路無しで実施できるように設計している。本報告では新信号処理回路の機能、及びその実現方法としてのハードウェアを紹介すると共に SPring-8 でのビームを用いた評価結果も併せて報告する。

### 2. 機能仕様

新回路において、BBF 信号処理回路としての基本機能の他に処理回路に統合、あるいは現在、調整等で実施している機能で、それらが簡便に実現できることを目指したもの、また、採用デバイスの性能向上の結果として可能になったものとして以下の機能が挙げられる。

- A) SPring-8 において通常のユーザー運転時のバンチフィリングであるハイブリッドフィリングに対応するためのバンチ電流強度感応自動アッテネータシステム
- B) ADC 入力の 1 本化 (現回路は 127MHz サンプル ADC を 4 個使用し、4 系統で 508MHz のバンチレートに対応)
- C) ユーザー運転に対応したチューンの常時観測機能。挿入光源が引き起こすチューンシフトのリアルタイム補正が可能となる。
- D) FIR タップ数の増大 (現行最大 50⇒300)
- E) BBF システムの基本性能の確認や立上げ調整時におけるシステム性能確認の支援機構、ビームアポート時のビーム挙動の診断機能
- F) DAC 出力 (キッカー駆動用パワーアンプ入力) の振幅増大、及び DC 結合化
- G) 特定のバンチに対する DAC 出力パルス長の延伸機能。これにより大電流孤立バンチに対する効率的なキックや、より長いキッカーを使用可能とする。
- H) 10psec ステップの出力ディレイ調整機能
- I) キッカー駆動用パワーアンプの周波数特性補償機能

例として上記の機能 A) を実現するための機能ブロック図を Figure 1 に示す。あらかじめ、ハイブリッドフィリングの各バンチ電流に応じ ADC 入力に飽和が生じないようなゲインを供した複数のバンチ位置信号を用意しておき、バンチ電流信号に対応して内部においてリアルタイムでバンチアドレス毎に使用する ADC 入力 (位置信号) を切り替え、後段の信号処理部 (ここでは FIR フィルタ) に送りキッカー用 DAC 出力信号を生成している。本機能を複数の ADC、バンチ電流測定用 ADC、切り替えスレッショールド判定、及び切り替えにおいてばたつきが生じないようにアンチチャタリング (シュミットトリガ) 回路を有し実現している。なお、本機能は現在、現 BBF 用信号処理回路の出力を DC に改造し

<sup>#</sup> kkoba@spring8.or.jp

たものと高速切替 RF アッテネータ回路で実現しているものである<sup>[3][4]</sup>。

機能 E) に於いてはバンチの振動振幅を検出し、その大きさによって、DAC 出力の OFF/ON や極性反転を処理回路内部で遅滞なく行うことによってビームを不安定性で失うことなく、振動の励起、ダンプを繰り返すことができ、不安定性の成長率やダンピングタイム等の測定、ビームの振動状況の観測が容易に可能になる。

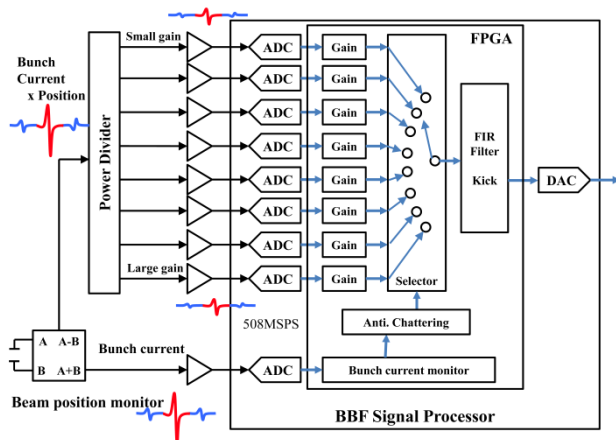


Figure 1: Function diagram of current sensitive fast selector.

### 3. ハードウェア仕様

#### 3.1 使用デバイス

新旧回路の主要なデバイスを Table 1 に示す。

Table 1: Key Components of Old and New Processor

	ADC	FPGA	DAC
Current	AD9433		AD9735
	12bits 125MSPS	XC2VP70-6	12bits 600MSPS
New	ADS54RF63	XC7VX690T-2 2 (x2 unit)	DAC3482
	12bits 550MSPS	XC6SLX75-2	16bits 625MSPS

#### 3.2 構成、回路、機能

Table 1 に示すデバイスを用い、先に示した機能仕様を実現するため Figure 2 及び 3 に示すブロックダイアグラムで新規信号処理回路は構成されている。FPGA は内部演算速度、乗算器リソース数、実装している ADC の総数、及び全 ADC のデータをメモリにダンプするためのピン数等の要件から Xilinx 社製 Virtex-7 を 2 個搭載する構成となった。実際の基板実装構成は ADC 基板、FPGA 基板、DAC 基板の 3 枚構成となっており、それぞれ FMC コネクタで相互に接続されている。ADC、DAC 部は FMC コネクタのピン配置を踏襲すれば独立に変更が可能である。ADC のデータは DDR により 508MHz のレートで

FPGA に取り込まれ、FPGA 内部では 254MHz のレートで全演算が実行される。DAC にはやはり DDR により 508MHz のレートで FPGA から出力データを転送する。キックタイミングの調整のために DAC のサンプリングクロック系に 10psec の分解能で制御が可能なデバイス (MC100EP196B) を採用しており、FPGA 内部での RF 入力クロック単位の調整に加え、10psec 単位の設定が可能となった。これによりこれまで必要であった外付けの位相調整器 (トロンポン等) を省くことができる。

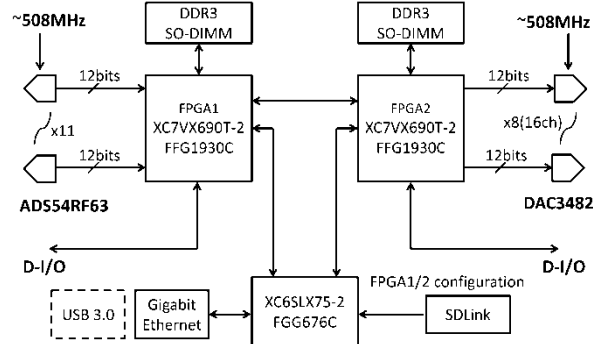


Figure 2: Circuit block diagram.

Figure 3 において ADC0~7 にバンチ位置信号、ADC8 にはバンチ電流信号が入力され、バンチ電流に応じ”Selector “により適な ADC 入力を選択される。"NCO "は数値制御型発振器 (Numerical Controlled Oscillator) であり、チューン測定用の励振波形を発生する。外部からの”1-turn”信号もしくは”Gate-A “信号により特定の測定対象バンチに対してのみ BBF のループで振動抑制する代わりにこの NCO を用いベータトロン周波数近傍の信号で励振し、そのバンチ振動の ADC データからチューン測定が可能となる。これにより真空封止型挿入光源のギャップが閉じたような不安定性にとって厳しい条件下でも不安定性を抑制したままでのチューン測定が可能になる。”Stretcher”は SPring-8 で実施されている大電流孤立バンチを含むフィリングに対するため、大電流シングル部に対して同一の DAC 出力、すなわちキック信号を数クロックの期間、連続して出力する機能であり、これによりキックの高効率化及び、長いキッカーの利用を可能とする。大電流バンチのバケット位置はバンチ電流測定用 ADC (“current “) の入力から自動的に求められ、またキックの時間幅 (=クロック数) は制御端末から設定可能となっている。FPGA2 に配した、10-tap の FIR フィルタ、及び”Switcher”はビーム (バンチ) の振動振幅を監視し、その結果によってキッカーをドライブするパワーアンプの入力となる DAC1、3、5、7 の各出力を OFF/ON あるいは反転することによって、BBF システムを不安定性抑制/振動励起/OFF の各モードに切替える機能を持ち、この動作閾値を調整することによりビームを不安定性で失うことなく、不安定性の成長/抑制を繰り返すことが可能となる。一方、DAC0、2、4、6 はこの切り替え、ON/OFF とは独立したモニタ出力となっており、この信号をオシロス

コープで観測することにより、上記過程で不安定性の成長率やBBFのダンピングタイム等をリアルタイムでモニタすることができる。7-tapのFIRフィルタはバンチ毎のフィルタではなく508MHzのレートで処理を行うデジタルフィルタとなっており、キッカー用パワーアンプの位相の周波数特性を調整することを目的としている。各位置ADCのデータは508MHzのサンプリングレートの場合、最大0.7sec

までのリングバッファメモリへの記録が可能となっている。ADCデータの処理端末へのイーサネットを通してのUPLOADサイズは変更可能であり、その記録開始/停止は外部からのTTL信号または端末からのレジスタ書き込みにより実施できる。

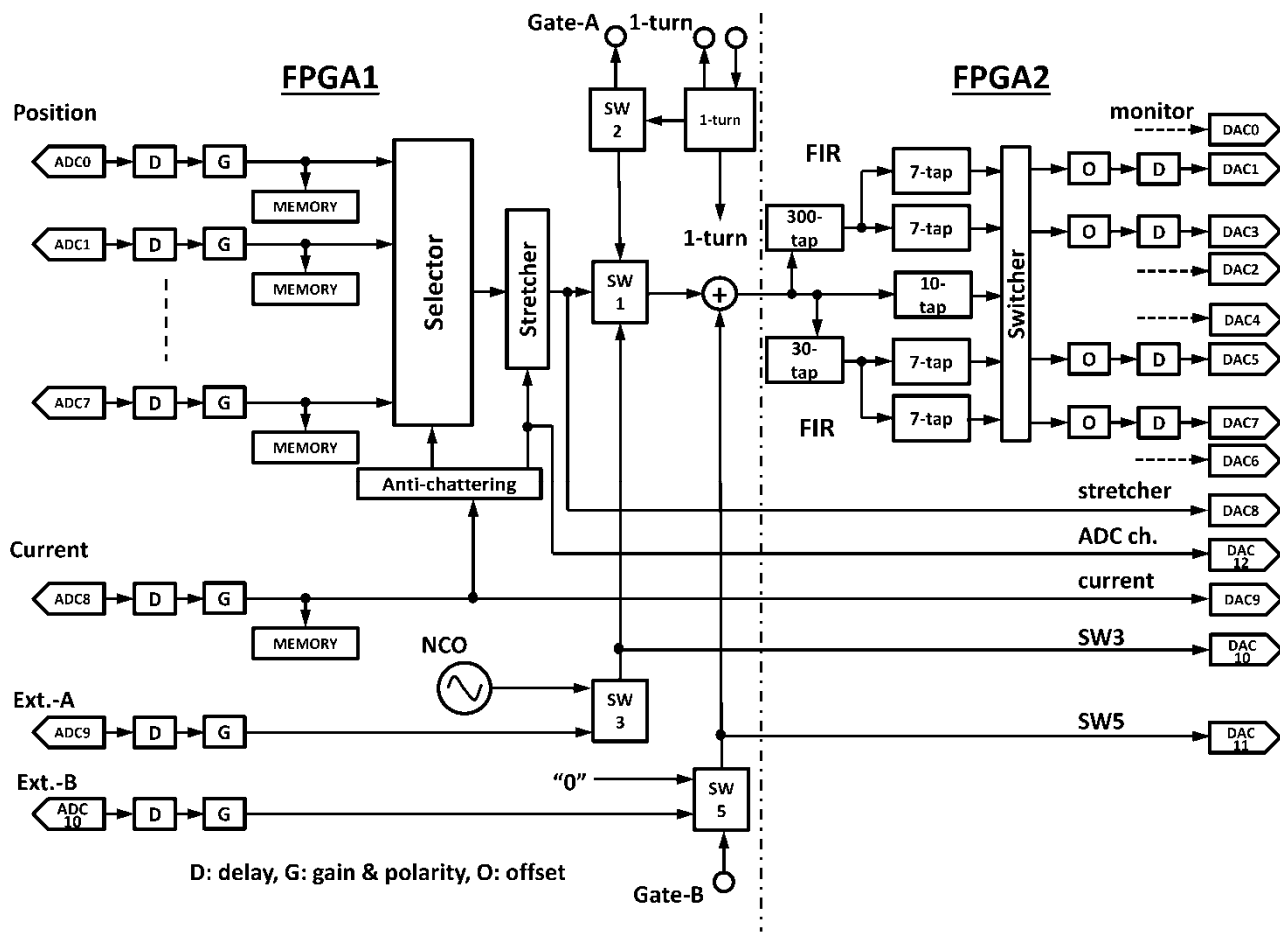


Figure 3: Function block diagram.

#### 4. ビームテスト

ハードウェア、特にADC/DACが508MHzのレートで正しくアナログ信号を扱えるかどうかの試験をまずオフラインで行った。Figure 4はFIRフィルタの応答をthrough(ある係数のみ"1"、他は"0"で実現)としたゲイン応答を示す。処理回路のデジタルゲイン≒192倍程度までリニアな応答を示していることが判る。実際のビームを用いた最初の試験を2014年11月に実施し、さらに2015年4月にはユーザー運転の状況、すなわちハイブリッドフィリングにおいて真空封止型挿入光源のギャップが閉じられ、不安定性が誘起される状況でのビーム試験(ユーザー運転サイクルの立ち上げ調整時と同じ手法)を行った。Figure 5(下)はビームを用いた試験時の処

理回路周りの構成を簡略化して示したものである。現在のSPring-8において実施しているユーザー運転サイクルの立ち上げ時の確認手法では問題は生じず、またこれまでFigure 5(上)に比べてRF入力を4分割する必要がなく(機能B)、DAC出力のディレイを10psec分解能で調整することができ(機能H)、これまで必須であったDAC出力微調用位相調整器を省き、DAC出力増幅用のプリアンプも実際に省くことができ、BBFシステムの調整自体が大幅に容易になったことを確認した。

Figure 7に新回路の機能C)を使用したチューン測定例を示す。試験時にはFPGA内部にNCOは未実装であったので新回路の外部から信号発生器を用い、ベータトロン周波数237KHzに対し、228KHzから258KHzに3msecでスイープさせた正弦波を入力し

一つのバンチのみを励振し、新回路のADCによりその振動を観測した。Figure 7 はその結果であり、左は横軸にターン数、縦軸はADCのデジタル出力値を示し、同中は左図の0から1024ターン分を用いたFFTの結果、同右は60ターン毎にオーバーラップさせた64ターンのデータを用いたFFTの時間経緯(spectrogram)とそれぞれになっている。

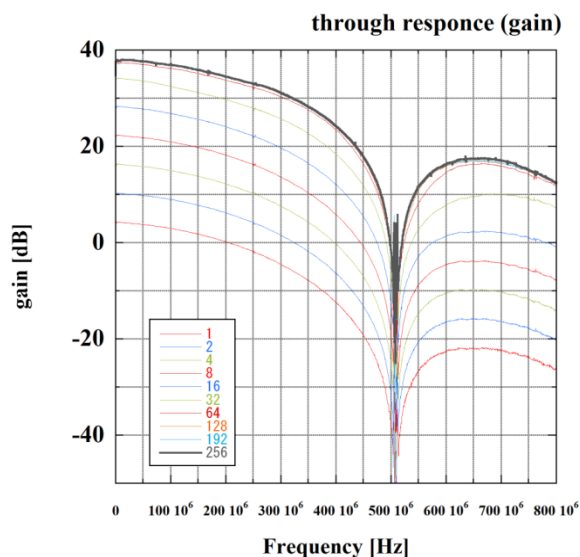


Figure 4: Frequency responses of new processor, lines show responses of different gain.

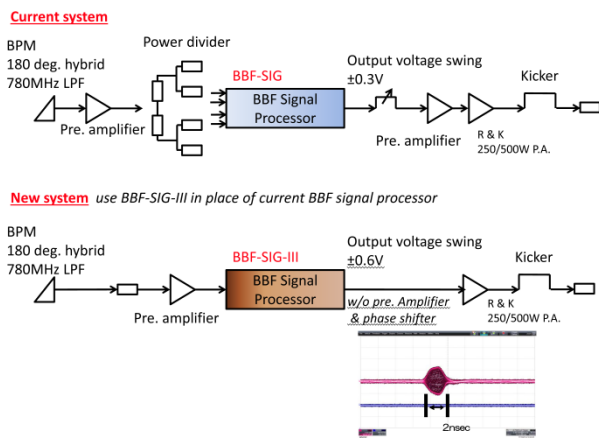


Figure 5: BBF loop with current and new signal processor.

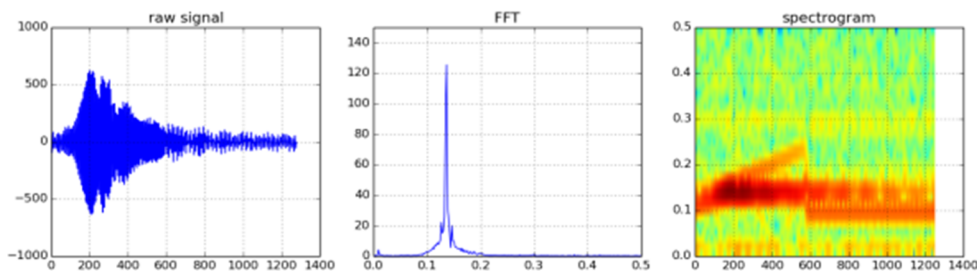


Figure 7: Tune measurement results using the new BBF signal processor.

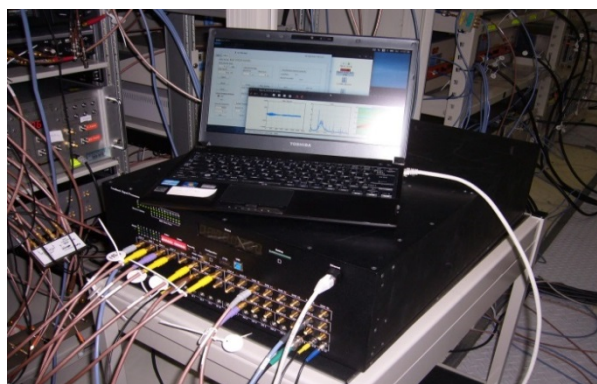


Figure 6: New BBF Signal Processor.

## 5. まとめ

開発、投入から約10年が経過した現行のBBF信号処理回路の後継機を開発した。新規処理回路には最新のデバイスを搭載し、BBFシステムの基本機能で現行回路を凌ぐ性能を持たせながら、現行回路単体では実施することができなかった多くの機能を盛り込むことに成功している。現在は今年度後半に実際にビーム運転に投入することを目標として、ハードウェアの追加手配、制御系を整備するとともに搭載した多くの機能を確認中である。

## 参考文献

- [1] T. Nakamura, K. Kobayashi, "FPGA Based Bunch-by-bunch Feedback Signal Processor", Proc of ICALEPCS'05, Geneva, Switzerland, PO2.022-2 (2005).
- [2] T. Nakamura, T. Fujita, K. Fukami, K. Kobayashi, C. Mitsuda, M. Oishi, S. Sasaki, M. Shoji, K. Soutome, M. Takao and Y. Taniuchi, Z. Zhou, "Filling of High Current Singlet and Train of Low Bunch Current in SPring-8 Storage Ring", Proc of EPAC08, Genoa, Italy, THPC127, (2008)p.3284.
- [3] K. Kobayashi, T. Nakamura, "NEW AUTOMATIC BUNCHCURRENT SENSITIVE FAST ATTENUATOR FOR RF FRONT-END OF BUNCH-BY-BUNCH FEEDBACK SYSTEM AT SPRING-8", Proc of ICALEPCS'09, Kobe, Japan, THB006, p.659.
- [4] K. Kobayashi, T. Nakamura, "Bunch-by-Bunch Feedback用新規バンチ電流感応型自動アッテネータシステムの開発", Proceedings of the 7th Annual Meeting of Accelerator Society of in Japan, Himeji, Japan, FRSH06, p.301.