

MTCA.4 準拠の RF 信号処理システム MTCA.4 RF SIGNAL PROCESSING SYSTEM

漁師 雅次 ^{#,A)}, 岩城 孝志 ^{A)}, 田尻 敬一 ^{A)}, 出口 久城 ^{A)}, 林 和孝 ^{A)}, 松本 隆太郎 ^{A)}, 水野 隼一 ^{A)},
宮村 良 ^{A)}

Masatsugu Ryoshi ^{#,A)}, Takashi Iwaki ^{A)}, Keiichi Tajiri ^{A)}, Hisakuni Deguchi ^{A)}, Kazutaka Hayashi ^{A)},
Ryuutaro Matsumoto ^{A)}, Junichi Mizuno ^{A)}, Ryo Miyamura ^{A)}

^{A)}Mitsubishi Electric TOKKI Systems Corporation

Abstract

An RF signal processing system has been developed for LLRF and BPM (beam position monitor) systems. This system is based on MTCA.4 (Micro Telecommunications Computing Architecture - Enhancements for Rear I/O and Precision Timing), consists of a new shelf and three types of cards. The shelf has a DESY's RF backplane. The front-mounting card is the digital process function AMC (Advanced Mezzanine Card). The developed rear-mounting cards are the μ RTM (micro Rear Transition Module) and eRTM (extended RTM). The μ RTM is for RF front-end function (down converters and up converters, in future). The eRTM generates clock signals (local oscillator signal, in future) and deliver them to μ RTMs through the RF backplane. This system reduces cable connections and achieves the LLRF and BPM in a small size. Status-monitor and hot-swap are also supported in all MTCA cards. This time, the BPM signal processing system has been developed. BPM signal process and software are on signal processing card equipped with Xilinx FPGA "Zynq" and fast-sampling ADC. At SPring-8, KEK-PF and J-PARC LINAC site, the developed BPM signal process and software were checked of operation using actual BPM's signals and discussed in this paper.

1. はじめに

加速器制御システムの高度化に対応するため、LLRF や BPM の RF 信号処理は、デジタル信号処理とソフトウェアの開発に重点を移している。これは、無線通信における RF 信号処理技術(デジタル技術)やソフトウェアの加速器への適用であり、無線通信装置のハードウェア構成(プラットフォームや製品群)と併せて加速器へ適用することは理に適っている。プラットフォームには、無線通信基地局の Advanced TCA(Telecommunication Computing Architecture)と派生した MTCA(Micro TCA)があるが、加速器には、小規模装置向けの MTCA が適している。MTCA では、専用 HUB が通信信号を制御し、バックプレーンには、高速シリアル通信信号路が将来拡張を含め十分に用意されている。さらに、加速器・物理実験で汎用的に信号処理を行うために、MTCA.4 規格(MTCA - Enhancements for Rear I/O and Precision Timing)が制定されたことで、従来 MTCA 規格(前面の)ボードに加えて、背面から実装できる RTM(Rear Transition Module)に機能を拡張できるようになった。特に、DESY では RTM を RF モジュール(アップコンバータ、ダウンコンバータなど)として活用するために、RTM 用バックプレーン(RF バックプレーン)が開発され利用されている[1]。私たちは、次世代の RF システムに向けて、この方式を導入して評価を始めた。以降に、その状況を報告する。

2. RF バックプレーンを実装した MTCA.4 準拠したシステムの特長

2.1 システムの小型化

既存の MTCA.0 を使ったシステムでは、AD 変換及び DA 変換ならびに FPGA 等のデジタル信号処理を実装しており、ダウンコンバータ等の高周波信号を処理する回路は別のユニットで構成していた[2-9]。

MTCA.4 のシステムでは、前面から Double-Width の AMC を実装し、背面からも RTM を実装し、バックプレーンが無い上部の貫通部分の Zone3 のコネクタを使って前後からプラグイン接続する。そのため、従来の Single-Width の AMC に比べて実装面積が約 4 倍に拡張されることになる。そのため、19 インチラック内の占有面積が小さくなり、実装密度が向上する[10]。

2.2 RF 回路の管理機能

既存の RF 処理用ユニットでは、温度や電圧管理などをシリアル通信やデジタル IO の信号を使っており、最終的に CPU カード等に入力して、上位の制御機器へ通知していた。MTCA.4 では、OS やハードウェアに依存せず、サーバー機器などで温度や電圧管理に使われている IPMI (Intelligent Platform Management Interface) を使った管理機能が使える。シェルフ全体の管理は MCH(MTCA Carrier Hub)内の MCMC(MTCA Carrier Management Controller)が行っており、全 AMC(Advanced Mezzanine Card)に IPMI がそれぞれ接続されており、RTM には AMC 経由で接続されている。これにより、RTM の管理およびホットスワップを含めた電源管理も IPMI を使って実施可能となっている。

[#] ma-ryoshi@west.melos.co.jp

3. 開発したモジュール

3.1 A/D・D/A 信号処理カードの性能向上

既に開発していた Zynq 搭載 MTCA.4 準拠の A/D・D/A カード[10]の性能を改善した。このカードには、分解能 16bit で最高 370MSPS の A/D 変換デバイスを使用しており、出力側のインタフェースは、8B/10B 変換を使った高速シリアルインターフェースの JESD204B であった。FPGA の受信側回路に必要なクロックの接続が不足していたため 160MSPS 程度までしか動作させられなかった。そこで、必要なクロックを接続するために基板パターンを改良し、FPGA の受信側ロジックも改良することで、370MSPS でサンプリングしたデータを正常に取り込むことができるようになった。

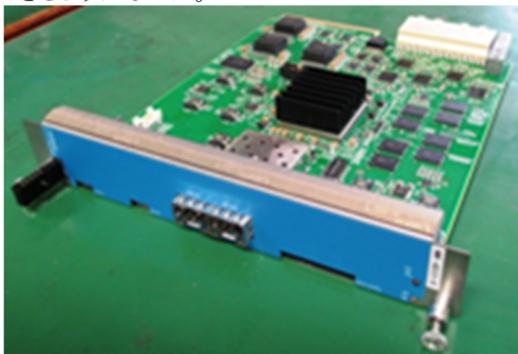


Figure 1: Advanced A/D・D/A Signal Processor AMC.

3.2 RF ダイレクトサンプリング用 μ RTM

DESY 製 RF バックプレーンに対応した μ RTM として、BPM 信号処理に適した RF フロントエンドモジュールを開発した。8ch の RF 入力に対応して、508MHz の SAW フィルタ(BPF)により不要波抑圧をした。利得制御は、0.5dB ステップで 31.5dB までの可変アッテネータおよび固定ゲインアンプの有無切り替えができるようにした。また、入力ポート間の利得偏差補正用の校正信号を最前段から入力できるようにスイッチを実装している。

LLRF の FB 制御用のフロントエンドにも使えるように、Zone3 コネクタから入力される IQ ベースバンド信号により、リファレンス信号を IQ 変調した RF 信号が出力できるようにした。この信号を使って、外部のクライストロン用ドライバアンプに入力できるようにした。

- RF 入力 8ch, 508MHz typ. Nicomatic 製「221D00F26-0011-1400CMM」
- RF 出力 1ch, 508MHz typ. SMA-J
- 可変アッテネータ 0~-31.5dB, 0.5dB ステップ
- ゲイン切替機能 0dB or 22.6dB
- Zone3 コネクタ(DESY 推奨 ClassA1) 「204781」
- Zone2 コネクタ(DESY 製 RF-BP 対応) CLK 信号入力「973028」
- Zone1 コネクタ(DESY 製 RF-BP 対応) REF・CAL・LO 信号入力「R694.252.107」

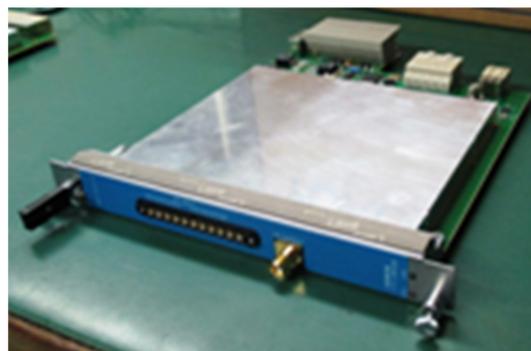


Figure 2: Direct Sampling Frontend μ RTM.

3.3 サンプリングクロック生成用 eRTM

DESY 製 RF バックプレーンの eRTM(extended RTM)に対応したクロック生成モジュールを開発した。508[MHz]のリファレンス信号を入力すると VCO と PLL を使って必要なクロックを生成するようにした。必要に応じて LO 信号生成回路をスタックモジュールとして拡張できるように、スタッキングコネクタを設けている。LO 信号は前面の SMA コネクタより出力して、ベースボードの SMA コネクタから入力して、ZONE2 より出力する。開発したクロック生成 eRTM の特徴を以降に示した。

- リファレンス信号入力 1ch, 508MHz typ. SMA-J
- ローカル信号入力 1ch, 508MHz typ. SMA-J
- 校正信号入力 1ch, 508MHz typ. SMA-J
- クロック入力 1ch, 508MHz typ. SMA-J
- Zone3 コネクタ(DESY 製 RF-BP 対応) CLK 出力、「973028」
- Zone1 コネクタ(DESY 製 RF-BP 対応) REF・LO・CAL 出力、「R694.252.107」

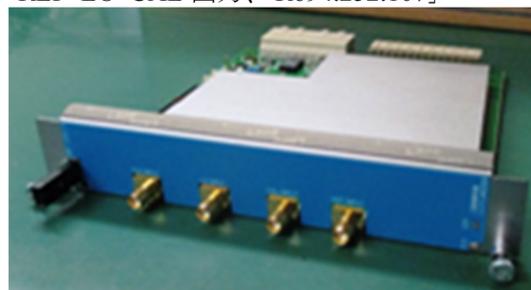


Figure 3: Sampling Clock Generation eRTM.

3.4 RF バックプレーンを実装したシェルフ

開発したシェルフは Figure 4 のような外観である。上下 2 台のクーリングユニット(CU : Cooling Unit)が実装されており、交換が容易にできる。冷却風の流れは、下部の CU の前面から吸気してカードスロット部は上向きに流れ、上部の CU はその風を吸込み背面へ吐き出すようになっている。MTCA の CU は MMC (Module Management Controller) が実装されており、MCH と IPMB 経由で通信することで回転数の制御や、動作状態をモニタできる。

前面に実装している AMC 用のバックプレーンは、ミッドサイズの AMC が 12 枚実装でき、電源モジュール (PM : Power Module) および MCH が冗長化されており、デュアルスター型のトポロジになっている。背面側から見

たシェルフは Figure 5 のようになっており、DESY で開発された RF バックプレーンを実装している。向かって右端に RF 回路用の電源モジュール 2 台を実装できるようになっており、その隣には MCH の背面に接続される CPU カードが実装できるようになっている。また、左端から 3 スロットは eRTM が実装できるようになっており、その隣から 9 枚の μ RTM が実装できるようになっている。開発した MTCA.4 に準拠したシェルフの特徴を以降に示した。

- 19 インチラックマウント 9U サイズ
- ミッドサイズ AMC を 12 枚実装可能
- PM および MCH は冗長対応
- Port0,1Gigabit Ethernet 対応
- Port2,3 ストレージインタフェース対応
- Port4~7 および 8~11 FATPIPE 冗長化対応
- Port12~16 スロット間直接通信対応
- Port17~20 はバス配線済み
- DESY 製 RF バックプレーン組込み済み



Figure 4: MTCA.4 shelf with RF backplane (front view).



Figure 5: MTCA.4 shelf with RF backplane (rear view).

3.5 その他のモジュール

今回の構成で使用した MCH および CPU カード、PM は、それぞれ下のモジュールである。

- NAT 製 MCH「NAT-MCH-PHYS80」
- NAT 製 CPU「NAT-MCH-RTM-BM-COMEXI7」
- Wiener 製 PS「1000W MTCA.4 PS」

4. 性能評価

4.1 信号発生器を使った性能評価

A/D・D/A 信号処理カードの Zone3 に信号を入力するための RTM 延長カードを使って性能を評価した。ここでは、BPM 信号処理に適用できるように 4 入力の信号をアンダーサンプリングして、FPGA にてデジタルダウンコンバート後、デシメーションフィルタで狭帯域化した IQ データから各振幅を算出する。4 つの入力を A~D として Figure 6 の式で Δ と Σ を求めて $SNR = \Delta / \Sigma$ として評価した。この SNR は位置の測定精度を評価していることと同じである。

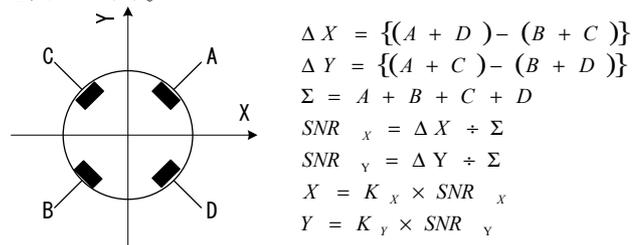


Figure 6: Equation of measuring SNR.

SNR 測定系統図を Figure 7 に示した。信号発生器で 508[MHz] を出力し 2 分配する。1 系統はサンプリングクロック生成モジュールで 156[MHz] (508*4/13) にして入力する。もう 1 系統は 4 分配して BPM の電極からの RF 信号の代わりとして入力した。

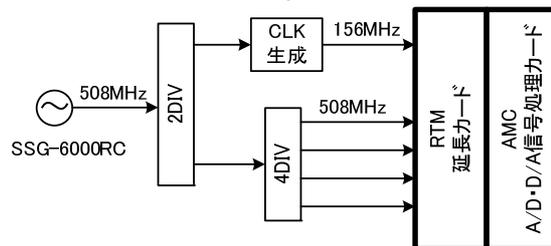


Figure 7: Block diagram of measuring SNR.

デジタルフィルタで狭帯域化した IQ データを FFT 演算したスペクトラムを Figure 8 に示した。ノイズフロアの形は、最終段の FIR フィルタの振幅特性が見えている。-140[dBFS] 近くのノイズフロアでよい特性である。

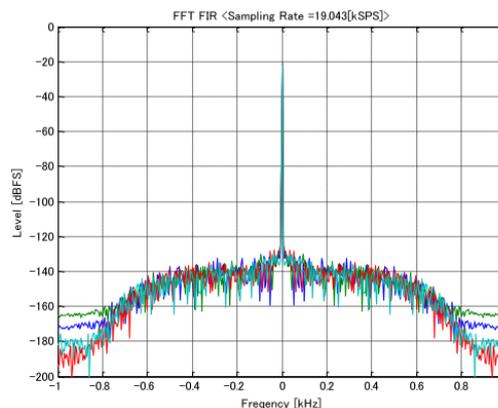


Figure 8: Baseband spectrum after digital filtering.

X,Y 方向それぞれの SNR を求めて Figure 9 に時系列で表示した。横軸は、デシメーション後のサンプリング (19.043[kSPS]) 点を示している。X、Y 方向ともに RMS 値は約-102[dB]となり良い結果となった。

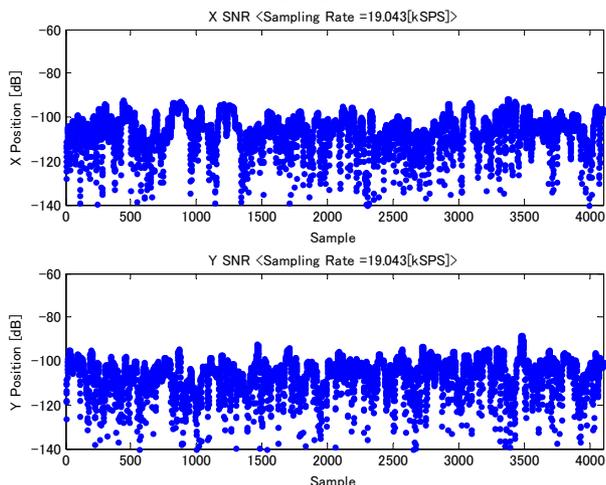


Figure 9: SNR of X, Y position.

4.2 実際のビームの測定

Figure 7 の構成と同様に、A/D・D/A 信号処理カードを使って高エネルギー加速器研究機構の Photon Factory、SPring-8、J-PARC LINAC の BPM に接続されている空きポートを使って、実際のビーム測定ができることを確認した。

- KEK PF

測定した時の運転モードは、54 bunch train×4 であった。A/D 変換後のデータを FPGA 内でモニタしたところ、正確にフィルパターンが見られた。また、ビームポジションの測定も位置の変動など定性的には測定できたが、定量的には評価が必要である。ビーム電流と相関のある 4 ポートの合計値を 1 秒ごとにプロットしたログを Figure 10 に示した。前半は安定して運転されていたがインターロックが発報されビームアボートされたところを捉えていた。機器確認後、再入射されビーム電流が蓄積されていく様子も確認できた。

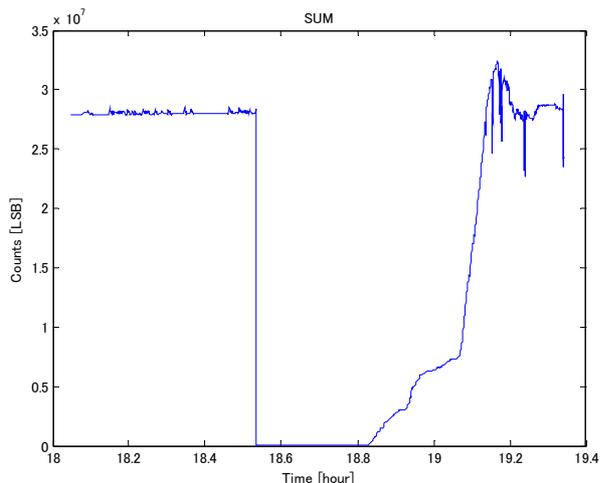


Figure 10: KEK PF Injection after beam abort.

- SPring-8

測定を開始した日の運転モードは、C モード(11 bunch train×29)だったが、数日後に H モード(11/29-filling + 1 bunch)に運転が切り替えられた。その際にビームアボートして再蓄積されているビーム電流のモニタ結果を Figure 11 に示した。一度、ビーム電流がゼロになり、蓄積されていくところが測定できた。また、H モード時の A/D 変換後のデータを FPGA 内でモニタしたところ、シングルバンチおよびマルチバンチの波形が確認できた。

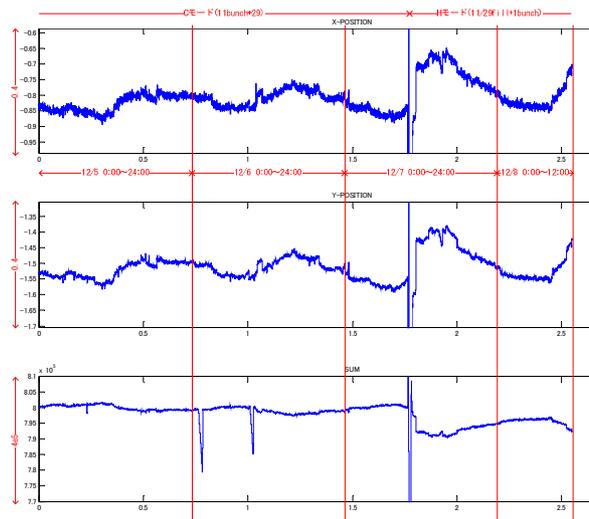


Figure 11: SPring-8 C-mode to H-mode.

- J-PARC LINAC

測定した時の運転モードは、ニュートリノ実験と MLF へ入射することを繰り返していた。LINAC では、25[Hz]で最長 500[μ sec]幅のビーム入射しており、これをマクロパルスとよび、その中は約 450[nsec]幅の中間パルスを約 800[nsec]周期になるようにチョッパーで加工されている。チョッパーの制御方法を変えることで、MLF に入射しているマクロパルスは、エネルギーを抑えるために中間パルスを間引いている。

今回の測定では、中間パルスごとに FFT 演算して、その結果のピーク値を中間パルスの電流値相当として中間パルス毎のビーム位置を算出した。しかし、中間パルスの間隔はマクロパルスの前半に比べて後半では短くなっていくことを考慮できておらず、一定間隔で FFT する仕組みにしていたため、後半に行くに従い正しい入力信号の信号処理ができなかった。そこで、正しく処理できている前半部分(約 5000 サンプル)だけ切り出して、複数ショット信号処理した値を連続して 4096 個プロットした結果を Figure 12 に示した。定期的に電流値相当の 4ch の合計値が落ち込んでいる。これは、ニュートリノ実験行きから MLF 行きのショットに切り替わる間隔と同じであり、レベルが下がるのは正確に信号処理できていないことが原因であると考えられる。これに関しては、改善方法の目処があるので、信号処理方法の改良後に再度実測したい。

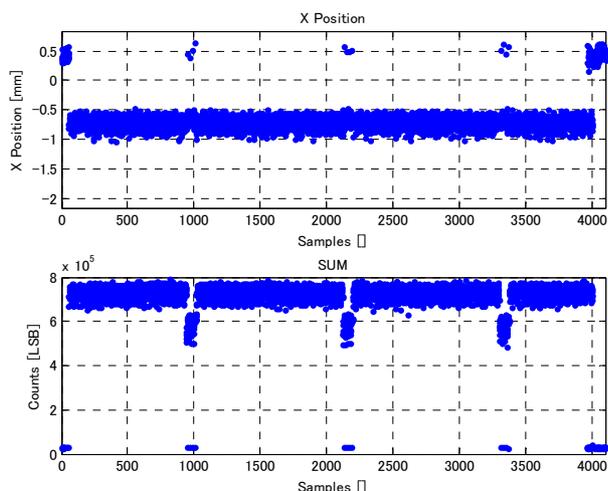


Figure 12: J-PARC LINAC FFT each of intermediate pulse.

5. まとめ

LLRF や BPM のシステムに適用可能な、MTCA.4 に準拠した RF 信号処理システムを開発した。前回開発した A/D・D/A 信号処理カードに、今回新たに、クロック生成 eRTM とフロントエンド μ RTM の、2 種類のカードを開発し、DESY 製の RF バックプレーンを内蔵した MTCA.4 シェルフに収納した、RF 信号処理システムである。A/D・D/A 信号処理ボードは、A/D 変換周波数を使用デバイスの最大値まで動作できるように改善し、単体の SNR 性能は良い結果が得られた。PF、SPring-8、J-PARC LINAC において、運転時のビーム位置モニタ信号を入力して測定を行ない、定性的に動作確認できた。施設に固有なビーム信号に対応した処理と解析が必要となる。

今後、引き続き本システムの改善を図り、加速器制御システム等の高度化に寄与することを考えている。

参考文献

- [1] Kay Rehlich *et al.*, “Status of MicroTCA at DESY and XFEL”, 3rd MicroTCA Workshop for Industry and Research, Hamburg, Dec. 8-11, 2014.
- [2] M. Ryoshi *et al.*, “LLRF Board in Micro-TCA Platform”, Proceedings of the 7th Annual Meeting of Particle Accelerator Society of Japan, Himeji, Aug., 2010.
- [3] T. Miura *et al.*, “Digital feedback system using μ TCA for DRFS”, Proceedings of the 8th Annual Meeting of Particle Accelerator Society of Japan, Tsukuba, Aug. 1-3, 2011.
- [4] M. Omet *et al.*, “Development and Application of a Frequency Scan-based and a Beam-based Calibration Method for the LLRF Systems at KEK STF”, Proceedings of the 9th Annual Meeting of Particle Accelerator Society of Japan, Osaka, Aug. 8-11, 2012.
- [5] T. Kobayashi *et al.*, “Prototype Performance of Digital LLRF Control System for SuperKEKB”, Proceedings of the 8th Annual Meeting of Particle Accelerator Society of Japan, Tsukuba, Aug. 1-3, 2011.
- [6] S. Michizono *et al.*, “Tuner control for cERL cavities by digital feedback system”, Proceedings of the 9th Annual Meeting of Particle Accelerator Society of Japan Osaka, Aug. 8-11, 2012.

- [7] H. Ishii *et al.*, “Development of a beam position detector for an orbit feedback system in SuperKEKB”, Proceedings of the 8th Annual Meeting of Particle Accelerator Society of Japan, Tsukuba, Aug. 1-3, 2011.
- [8] T. Kobayashi *et al.*, “RF Reference Distribution System for SuperKEKB”, Proceedings of the 10th Annual Meeting of Particle Accelerator Society of Japan Nagoya, Aug. 3-5, 2013.
- [9] K. Hayashi *et al.*, “Refinements of the new LLRF Control System for SuperKEKB”, Proceedings of the 9th Annual Meeting of Particle Accelerator Society of Japan Osaka, Aug. 8-11, 2012.
- [10] M. Ryoshi *et al.*, “MTCA.4 FPGA (ZYNQ) A/D・D/A BOARD”, Proceedings of the 12th Annual Meeting of Particle Accelerator Society of Japan, Tsuruga, Aug., 2015.