

STF2 加速器での低電力 RF 制御系の開発

DEVELOPMENT OF LOW-LEVEL RF CONTROL SYSTEM FOR STF2 AT KEK

松本利広^{#, A, B)}, 明本光生^{A, B)}, 荒川大^{A)}, 片桐広明^{A)}, Qiu Feng^{A, B)}, 三浦孝子^{A, B)}, 道園真一郎^{A, B)},
矢野喜治^{A, B)}, Sigit Basuki Wibowo^{B)}

Toshihiro Matsumoto^{#, A, B)}, Mitsuo Akemoto^{A, B)}, Dai Arakawa^{A)}, Hiroaki Katagiri^{A)}, Feng Qiu^{A, B)}, Takako Miura^{A, B)},
Shinichiro Michizono^{A, B)}, Yoshiharu Yano^{A, B)}, Sigit Basuki Wibowo^{B)}

^{A)} High Energy Accelerator Research Organization (KEK)

^{B)} SOKENDAI (The Graduate University for Advanced Studies)

Abstract

STF2 accelerator has been constructed to establish accelerator technology for International Linear Collider (ILC) at the Superconducting RF Test Facility (STF) in KEK. In order to demonstrate distributed low-level rf (LLRF) control system required for ILC, new digital controller board that implements 14-channel 16-bit ADCs, 2-channel 16-bit DACs and two SFP connectors was developed and has been evaluated at test bench.

In this report, the development of LLRF control system for STF2 accelerator and the status of the digital controller board are described.

1. はじめに

高エネルギー加速器研究機構(KEK)では、国際リニアコライダー(ILC)の加速器技術の確立・実証を行うため、2005年から超伝導RF研究施設(STF)で開発を進めている。ILCの開発・構築に向けて、2014年に技術設計書(TDR)[1]が完成し、STFでは現在STF2加速器[2](Figure 1)の建設を進めている。このSTF2加速器は3台の高周波系で構成され、1) 5 MW クライストロン(Thales, TH2014C)より常伝導空洞へパワーを供給するフォトカソードRF電子銃、2) 800 kW クライストロン(TOSHIBA, E37501)で2台の9セル超伝導空洞を励振するキャプチャクライオモジュール(CCM)、3) 1台の10 MW クライストロン(TOSHIBA, E3736H)によりパワー供給が行われる8台の超伝導空洞と1台の超伝導四極電磁石をもつCM1クライオモジュールと4台の超伝導空洞をもつCM2Aクライオモジュール、である。2016年秋にはクライオモジュールの冷却を行い、2台の高周波源で2+8台の超伝導空洞の運転が予定されている。

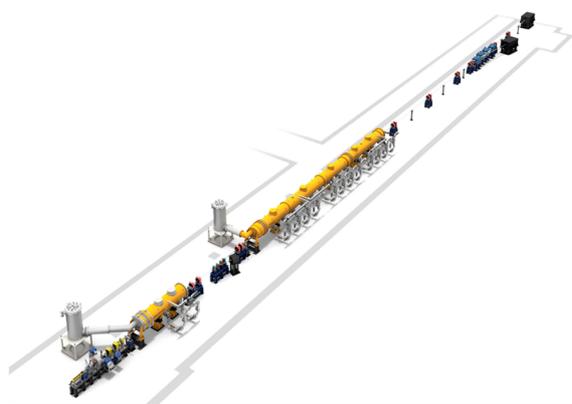


Figure 1: Layout of STF2 accelerator.

[#] toshihiro.matsumoto@kek.jp

このSTF2加速器の高周波源は、ILCの高周波源の実証を目指して構築が進められており、クライストロンのRF出力を各空洞へ分配する導波管系については、TDRで検討された局所RF電力分配系(LPDS)に準拠したものとなっており、準備が進められている[3]。

STF2加速器の低電力RF(LLRF)制御系も同様にTDRに準じた構成で開発を進め、今年秋の運転で評価試験を目指している。ここでは、ILCでのLLRF制御系の実証を目指したSTF2加速器のLLRF制御系の開発状況について報告する。

2. ILCのLLRF制御系

ILC主リニアックの高周波源は、1台の10 MW クライストロンで4.5クライオモジュールにあたる39台の超伝導空洞にパワーを供給し、全体では378台から構成される。このクライストロン出力の振幅・位相は、39台の空洞内電場のベクターサムが全体として一定になるようにフィードバック(FB)・フィードフォワード(FF)制御を用いたLLRF制御系によって制御される。Figure 2にTDRでのLLRF系の構成図を示す。ここでLLRF制御系は、クライオモジュール近くに配置された複数台のフロントエンドLLRFコントローラとクライストロン近くに設置したマスターLLRFコントローラによる構成となる。これは1台の高周波源で制御する39台の空洞が60mの長さになり、これをマスターLLRFコントローラ1台で済ませる場合、搭載するADC数などからコントローラが大規模なものになること、

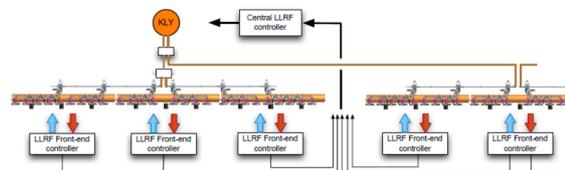


Figure 3.43. Implementation block diagram for the DKS LLRF system

Figure 2: Block diagram of LLRF system for ILC [2].

クライストロンから一番離れた空洞からの信号から近くの空洞からの信号の到着時間差が最大で数 100 nsec の分布になるといった欠点がある。

フロントエンド LLRF コントローラでは、担当する空洞の空洞内電場のプローブ信号の他、入力信号、反射信号をモニターするため、アナログインターフェイスやダウンコンバーター、デジタイザーから成る。またリアルタイムで担当する空洞の部分的なベクターサムを計算、その結果を専用の同期データリンクでマスターLLRF コントローラへ送る機能を持つ。マスターLLRF コントローラでは各フロントエンド LLRF コントローラからの部分的なベクターサムから全体のベクターサム演算やフィードバック演算をすると共に例外処理等の高周波系全体の制御を行う。

3. STF2 加速器の LLRF 制御系

STF2 加速器には 3 台の高周波系がある。CCM の高周波源には cERL のデジタルボード用に開発した MTCA.0 規格の 4 チャンネル 16 ビット ADC、4 チャンネル 16 ビット DAC、FPGA を搭載したボード[4]を用いてデジタル LLRF 制御系を構築、2012 年 2 月から 2013 年 3 月まで量子ビーム実験でビーム加速を行った[5]。RF 電子銃のデジタル LLRF 制御系に対しても MTCA.0 規格のデジタルボードによるデジタル LLRF 制御系の構築準備を進めている。

CM1 と CM2A の 12 台の超伝導空洞の高周波源として 10 MW クライストロンを用いる。この高周波系の LLRF 制御には、新開発の MTCA.4 準拠の制御ボード[6]を採用する。以下では CM1、CM2A の LLRF 制御系について説明する。

3.1 デジタル制御ボード

開発したデジタル制御ボードの写真を Figure 3 に示す。このデジタル制御ボードの FPGA (Field-programmable gate array)には Xilinx の ZYNQ を採用している。この ZYNQ は、これまでの FPGA のロジックブロック(PL 部)に加えて、ARM Coartex-A9 がプロセッサ(PS 部)としてワンチップになっている。このボードは MTCA.4 規格に準拠しており、Gigabit Ethernet×1、SFP×2、DIO×各 8 を実装した拡張ボード μ RTM (MTCA Rear Transition Module)により、外部 Ethernet 通



Figure 3: Digital controller board.

信および高速光通信が可能となっている。

また STF2 のデジタル LLRF 制御系のため、14 チャンネルの 16 ビット ADC (AD9650) と 2 チャンネルの 16 ビット DAC (AD9783) を実装した FMC (FPGA Mezzanine Card) を搭載している。この FMC ボードの評価試験を行ったところ、ADC のチャンネル間アイソレーションで約 90 dB 以上、SNR では 80 dB 弱との測定結果であった。

このデジタル制御ボードの ZYNQ 内の ARM プロセッサには Linux と EPICS が組み込まれており、単体で一つの EPICS IOC となる[7]。

3.2 STF2 加速器のデジタル LLRF 制御系

デジタル制御ボードを STF2 加速器の CM1、CM2a の 12 台の空洞運転の LLRF 制御系として用いる場合、14 チャンネルの ADC を搭載しているため、1 台で十分である。しかし ILC の LLRF 制御系では 39 台の空洞に対してベクターサム FB 制御を行うため、最低 3 台の専用の同期データリンクで繋がった制御ボードが必要となり、これらは Figure 2 で示したように、分散して配置となる。このため、MTCA.4 のシェルフを使わず、1 台のデジタル LLRF 制御ボードが収納できる専用の 19 インチラックサイズの電源供給ボックスにデジタル制御ボードを組み込んだのである(Figure 4)。

既に 3 台のデジタル制御ボードが完成しており、2016 年秋からの運転では、まず 1 台を使って 8 台の空洞のベクターサム FB 制御を行い、2 台を高速光通信で接続して、空洞波形モニターとして運用する(Figure 5)。次に高



Figure 4: Digital controller board and the power supply box.

速光通信で接続した 2 台のデジタル制御ボードを用いて、ベクターサム FB 制御を行い、1 台での場合との比較評価を行う予定である。

現在、STF 棟においてデジタル制御ボードによるテストベンチ (Figure 6) を構築、光通信接続のレイテンシや MTCA.0 ボードを応用した超伝導空洞シミュレータを用いた評価試験を進めている。Figure 7 に光通信によるレイテンシの評価結果を Figure 7 に示す。光通信により生じたレイテンシは約 0.5 μ s との結果であった。これはボード設計の際に見積もられたレイテンシと同程度のものであった。

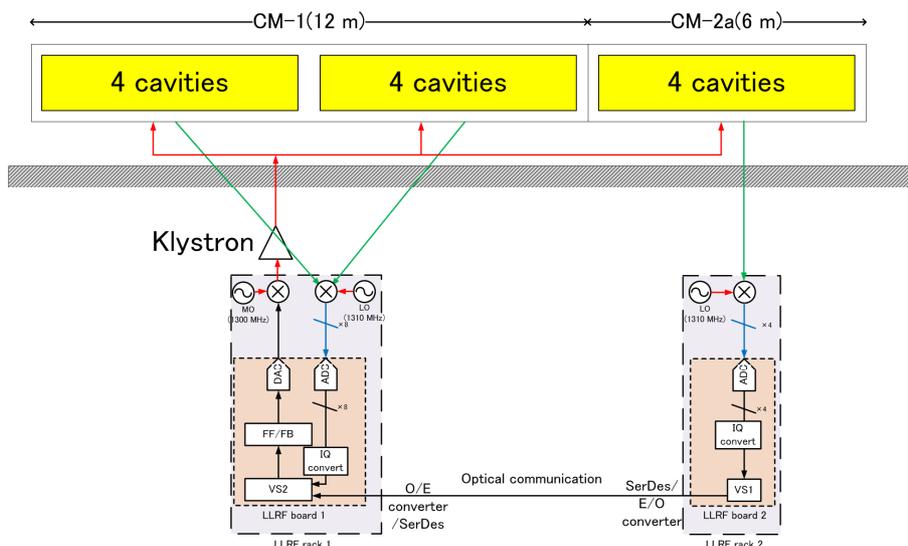


Figure 5: Diagram of digital LLRF control system at STF2 accelerator constructed by two digital controller boards connected by optical-link.



Figure 6: Test bench for digital controller board.

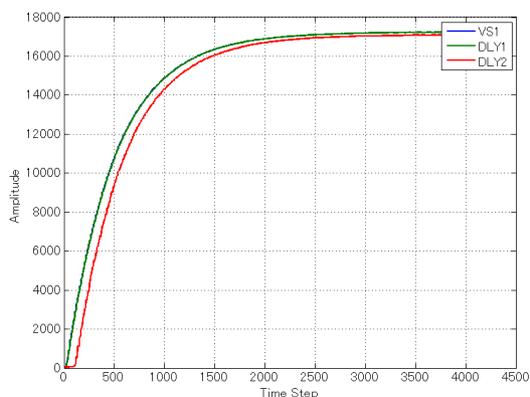


Figure 7: Step response signals between master controller and front-end controller. One time step corresponds to 6 ns. ‘DLY1’ is partial vector-sum by master controller and ‘DLY2’ is front-end controller’s partial vector-sum via optical-link. The time difference caused by optical-link is estimated at about 0.5 μ s.

4 まとめ

KEK の STF 棟では ILC の加速器技術の実証のため STF2 加速器の建設を行っている。この STF2 加速器の高周波系は、ILC の TDR に準拠するように LPDS やデジタル LLRF 系の開発を進めている。今回、14 チャンネルの 16 ビット ADC と 2 チャンネルの 16 ビット DAC、デジタルデータの高速光通信を可能にする SFP コネクタを搭載したデジタル制御ボードを開発、テストベンチにおいて各 ADC の SNR やチャンネル間クロストーク、光通信によるレイテンシ等の評価試験を行っている。

このデジタル制御ボードを用いて、2016 年秋の STF2 加速器の運転で ILC でのデジタル LLRF 制御系の構成の評価試験を行う予定である。

参考文献

- [1] <http://www.linearcollider.org/ILC/Publications/Technical-Design-Report>
- [2] H. Hayano, “Progress of STF Accelerator development for ILC”, MOOL06, in these proceedings.
- [3] M. Egi *et al.*, “RF Power Distribution System for STF2 at KEK”, TUP037, in these proceedings, N. Hanaka *et al.*, “Status of RF Power Distribution System Construction for ILC in STF”, MOP038, in these proceedings.
- [4] T. Miura *et al.*, “Performance of the μ TCA Digital Feedback Board for DRFS Test at KEK-STF”, MOPC155, IPAC2011, San Sebastián (2011).
- [5] T. Matsumoto *et al.*, “RF System for Quantum Beam Experiment and STF-2 in KEK-STF”, SUP051, Proceedings of the 11th Annual Meeting of Particle Accelerator Society of Japan, 2014.
- [6] M. Ryoshi *et al.*, “MTCA.4 FPGA (Zynq) board”, SUP103, Proceedings of the 11th Annual Meeting of Particle Accelerator Society of Japan, 2014.
- [7] H. Deguchi *et al.*, “LINUX AND EPICS EMBEDDING ON MTCA.4 FPGA(ZYNQ) BOARD”, SUP106, Proceedings of the 11th Annual Meeting of Particle Accelerator Society of Japan, 2014.