

PATTERN CONTROL BY DPO AND ADVANCED APPLICATIONS

Natsuji Araki^{1,A)}, Koji Miyamoto^{A)}, Noriyuki Okada^{A)}, Yoshitaka Yamamoto^{A)}, Takeshi Nakamura^{A)}

^{A)} Nichizou Electronic and Control Corp.

5-3-28 Nishikujou, Konohana-ku, Osaka, 554-0012

Abstract

DPO series have been in operation for 7 years since it was first adopted to control of accelerator systems.^[1] The DPO is mounted with many pattern memories, which was developed to operate for acceleration energy variation and to control for both RF acceleration device and a magnet power supply. This paper reports DPO improving to solve problems and design of control for synchrotron of rapid cycling type.

DPOによるパターン制御とその応用

1. はじめに

DPOは、HIMACシンクロトロン制御系の第二世代のパターンメモリボードとして放射線医学総合研究所と共同で開発された。HIMACシンクロトロン制御系では、従来は電磁石電源のパターン制御にFDO^[2]が採用されていたが、多様化するビームパラメータ（エネルギー、核子）に対応するためにその機能の拡充を検討するに至った。

当初の計画では、FDOが持つ性能としての出力データの分解能とパターンメモリの大きさは必要十分であったが、要求される核種ならびにエネルギー変更時間の短縮、将来のアプリケーションの拡充に対応するために新しいパターンメモリの開発に着手することとなった。DPOはHIMACおよび兵庫県立粒子線医療センターのシンクロトロンのパターン制御において稼動しており現在にいたっている。^[1]

昨今、日本原子力研究所 東海研究所のJ-PARCの制御システムに採用されることを目的に、DPOを速い繰り返し周期のシンクロトロン制御への応用の可否について検討した。

DPOは今までシンクロトロンの遅い周期(0.2~2Hz程度)を範囲としたが、J-PARC RCSにおいては速い繰り返し周期25Hzをとっており、検討した結果ハードウェア回路の変更なしに実現することが分かった。ただし、従来以上の高速動作が要求されるために、パターン出力機構の工夫が必要であった。

2. パターンメモリデザイン

2.1 DPOの設計

第二世代パターンメモリの基本デザインは、FDOアプリケーションの互換性の考慮ならびに機能面での利点について継承し、FDOの性能および機能の拡充について検討した。

性能面の検討として、ひとつは、HIMACパターン電磁石電源の制御仕様であるサンプリングクロック

ク周波数1,200Hzにこだわることなく、さらに高いRF加速装置の周波数50kHzまでを範囲に設定した。その結果、繰り返し周期(マスタ周期)を従来と同等とするため、基準サンプリングクロックの高速化に応じた大きなメモリ容量を持たせるようにした。したがって、時間分解能が大きいパターンを出力することが可能となった。

次に、出力データ幅については、高分解能DACに対応できるように20bit幅とした。それにより、FDOのひとつのパターンメモリ容量32kワード(最大)より大きいメモリ容量最大128k×32bitを搭載するように設計した。FDOのパターンメモリは、XとYの2面しかなく、パターンデータを変更する場合はこれらのメモリを交互に切り替える方法しかなかった。それに対して、DPOにはメモリを複数持たせるようにすることで、すでに入力されたパターンメモリの番号を選択する操作でパターンメモリの切替え処理を簡略化できた。

機能面では、電磁石電源に対するパターン制御のみならず、RF加速装置のパターン制御も実現するためにDPOは基準サンプリングクロック以外に磁場クロックも入力できるようにした。磁場クロックとは、電磁石とRF加速装置のトラッキング制御を目的として、電磁石の磁場変化 $\text{dB/dt} = 0.2 \text{ Gauss}$ 毎に発生するパルス^[3]である。加速周波数パターンでは、フラットベースおよびトップ部分をRF用基準クロックでサンプリングするが、加速部分に関しては磁場クロックによってサンプリングする。DPOはマスタ周期以内において各クロックへ乗り換える信号で加速周波数のパターンを実現する。

2.2 障害と改良

現在まで、DPOは技術的な障害およびシステムの劣化に対応するために、様々の改良を加えてきた。以下に現在までの改良内容について説明する。

(1) データとデータストローブのタイミング

DPOでは出力データが確定し、ストローブ信号をア

¹ E-mail: araki_n@ndssf.co.jp

サートするまでに当初187.5ns時間を設けていたが、電磁石電源に内蔵するDA変換器までのデータとストローブ信号経路の応答時間の差によっては、DA入力部で最後に確定したデータビットより早くストローブがアサートしたように見える。この場合の障害現象はパターンデータにノイズが印加されたような動きとして現れ、一見問題点がデータとストローブの関係にあることは分からない。対策としては、当然ながらストローブ時間をデータセット完了からさらに遅らせる(250ns)ことで対応したが、一方、あまり遅延のマーヅンを取ると、パターンのサンプリング周期に影響を及ぼすこととなる。

(2) CPU動作クロックの検証

実装するSH-CPUの動作クロックの接続回路に問題があり、実質2/3程度の実力値しか達成できていなかった。当然CPUの所定性能は得られていないのだが、DPOの基本動作はすべてイベント駆動であることが幸いし、また余裕を持った機能設計のおかげでCPUが性能不足であってもDPOの性能仕様は満たされている。しかしながら、DPOを速い繰返し周期に対応させることにおいては、CPUの十分な性能が要求される。

(3) FPGAとの同期問題

上記SH-CPUの見かけの性能が向上することで、実装するFPGAゲートサイクルと同期が取れない場合があった。FPGAが古いタイプのものでかつ連続したレジスタアクセスする場合に動作不良を起こす場合がある。解決方法としては、ファームウェアからFPGAのレジスタへ連続アクセスする個所に若干の遅延を持たせた。

(4) DMA動作

SH-CPUはDMAC(Direct Memory Access Controller)を内蔵し、データのメモリ間の移動については、DMACを利用した。しかしながらDMAC動作中は内部バスを占有するために高いサンプリング周波数ではデータ出力に影響を及ぼした。DMACのサイクルスチールモードでは、データ移動の合間を見てCPU

へバス権を渡す動作であるが、DPOでは移動するデータ量とサンプリング処理間隔内に隔たりがあり、バス権の授受が完結しなかったようである。

3. 速いパターン制御への応用

3.1 解決点

DPOの問題点は、従来では仕様範囲で許容するものであったが、高速化にあたり顕在化することが予想された。よって、すべて改良されたものをベースに仕様の検討を行った。

J-PARCのRCSで要求される速い繰返し周期用のパターンメモリの仕様は、繰返し周波数25Hz(周期40ms)でサンプリング周期は100kHz(周期10 μ s)である。40ms毎のパターンメモリのポインタリセットと出力レジスタへの書き込み処理を、SH-CPUのファームウェアで処理させた場合、10 μ sで完了させることは不可能である。したがって、高速出力させるためには、処理をFPGAで実行させる必要があった。

DPOには磁場クロック出力用としてSRAMを実装しており、SRAMはFPGAと直結されている。したがって、FPGAが直接出力させるためにはSRAMへデータを書き込む事によって可能となる。

以上により、サンプリングクロックは、DPOで磁場クロックとして利用したものを改めてサンプリングクロック(S-Clock)とした。以上から、SH-CPUの処理は、出力するパターンデータは、パターンメモリからSRAMエリアへ転送する処理のみとなった。

3.2 仕様

以上の結果から、速い繰返し周期に対応するパターンメモリボード(Rapid-cycle Pattern Output : RPO)の仕様をTable 1として決定した。

Table 1 Specifications of the relational between DPO and RPO

part	DPO spec.	RPO spec.
* repetitive cycle	0.5s (2Hz) to 4s (0.25Hz)	20ms (50Hz) to 100ms (10Hz)
* sampling cycle	two external clocks a). T-clk : typ. 1.2kHz (max ability : 75kHz) b). B-clk : 120kHz	Single external clock Typical : 240kHz
Resolution	20 bits	20 bits
Memory page select	Yes a). by external control : 1 to 31 b). by software : 1 to 128	Yes a). by external control : 1 to 31 b). by software : 1 to 31
External control	Yes (START, STOP, RESET, PAUSE, RERUN, SELECT, Bit Mask)	Yes (START, STOP, RESET, SELECT, Bit Mask)
a page size	~ 255k words (variable)	128k words (fixable)
Page volume	Max 128 page, 4M words* DRAM (not exceed of DRAM volume)	32 page fixable, 4M words* DRAM
Calculations	Booleans and Arithmetical operation	Booleans and Arithmetical operation

*The mean of "word" is length of 32 bits data.

RPOは、FPGAロジックの変更およびファームウェアの変更のみによって高速出力を実現することは、DPOとハードウェアプラットフォームを共有でき、新規に電子ボード設計、製造のコストが発生しないので低コストで実現させることができる。

もともとDPOが持っていた磁場クロックの許容するサンプリング周期は、正負方向とも合わせて240kHzのサンプリング周波数までを範囲とするもので、RPOはこの磁場クロックの仕様を採用した。

Fig. 1のタイミングチャートから入出力タイミングは要求される100kHzに対して十分余裕があるものである。

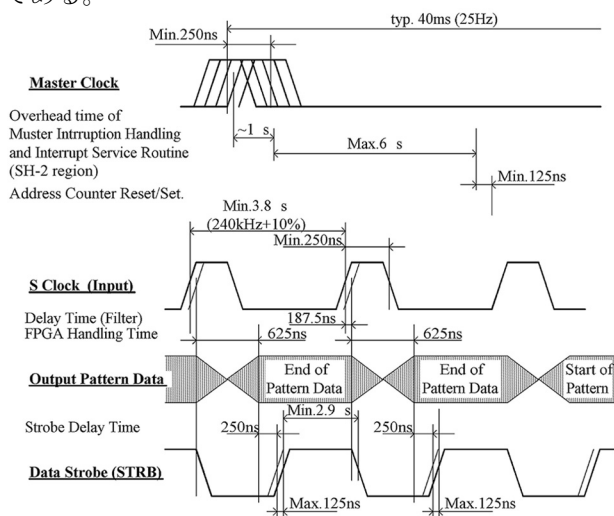


Fig 1 RPO in/output timing chart, Master clock and S clock (input), output data and data strobe.

3.3 性能評価

RPOをさらに高い周波数で動作させてみた。DPOと同様に内部処理については、すべてイベント駆動で処理されるために、動作の限界値はSH-CPUを含めた搭載するハードウェアデバイスの応答値によるものである。Fig.2では、与えたサンプリングクロックを~700kHz(697.8kHz)で動作させたときの波形データである。最下波形がデータストローブで、このデューティ比はfig.1のチャートからFPGA処理のオーバーヘッド時間(625ns)によって決定される。この図のストローブ波形のデューティ比からは、もう少し高い周波数まで動作する可能性がある。

さらに周波数を上げ、与えるサンプリングクロックの周期がFPGAの処理時間に近づくと、データストローブ信号をアサートできなくなり、クロックのデューティ比が0%に近づく。

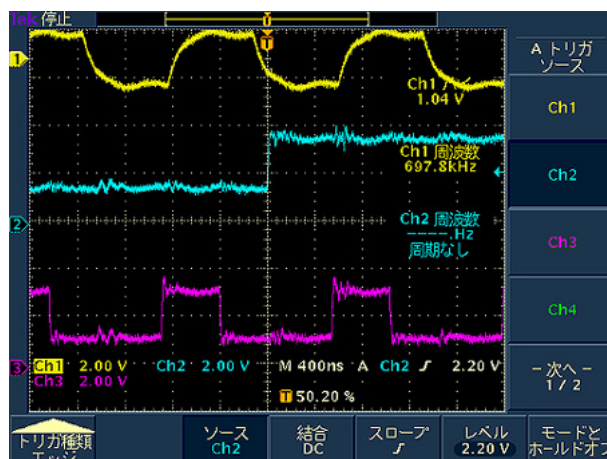


Fig 2 Timing chart of operation in 700 kHz sampling clock.

4. まとめ

RPOの評価は、RCSの共振型電磁石電源の制御において十分な性能を期待できる。一方で、キッカ電磁石やバンプ電磁石の励磁パターンへの対応を考えた場合、さらにMHzオーダー以上の高速帯域を実現させる必要がある。

設計値では、RPOは1MHzを若干下回る性能までを有するもので、それ以上の性能を達成させる場合においては、FPGAを高速のものに変更する方法で対応することとなる。

5. 謝辞

DPOの開発にあたっては、放射線医学総合研究所 重粒子医科学センター加速器物理工学部の皆様および加速器エンジニアリング株式会社の皆様からのご助言、ご指導に感謝します。

また、日本原子力研究所 東海研究所 J-PARC加速器グループおよび日立製作所についてはRPOの採用に際してご尽力いただきお礼申し上げます。

参考文献

- [1] N. Araki, et al., "Design of Synchrotron Control System with DPO Series for Advanced Therapy Operations" Proc. of ICALEPS97 in China, Beijing, Nov. 3-7, 1997
- [2] E. Takada, et al., "Synchrotron Control System of the HIMAC" Proc. of the 9th SAST in Japan, Tsukuba, Aug. 25-27, 1993.
- [3] アイオニクス "特集/重粒子線がん治療装置「HIMAC」- その施設と前臨床実験 -", No.235, 1995.5月号