

The FPGA based digital RF feedback system with I/Q demodulator & modulator

Kazuo Kobayashi¹, Takashi Ohshima²
JASRI/SPring-8
1-1-1, Kouto, Sayo, Hyogo, 679-5198

Abstract

A coherent synchrotron oscillation will cause an increase of an effective energy spread for stored beam of a storage ring, which degrades a performance of the synchrotron radiation. A phase noise induced by a PLL circuit is a one of the sources of the oscillation. To search for the possibility for reduction of the phase noise, we developed a FPGA based digital RF feedback system with I/Q demodulator and modulator. Its phase noise were compared with system already used in SPring-8 and we found that the new system had a potential to reduce the phase noise. This article describes the configuration of the digital system and its performance.

IQ検出器／変調器・FPGAを用いたRFデジタル制御

1. はじめに

蓄積リングのコヒーレントなシンクロトロン振動は、電子ビームの実効的なエネルギー広がりを増やすことになり、放射光の質を悪化させることになる。SPring-8ではビームの位相振動を検出して基準信号にFM変調を行うことでこの振動を抑制するフィードバックを行っている[1]。しかし、振動の発生要因を探し出し、抑えることは重要である。この振動を誘起する一因として空洞をドライブしているクライストロン・ローレベル系のPLL(位相)やALC(振幅)を構成しているフィードバック回路からのノイズが挙げられる。今回、これらから発生するノイズ低減の可能性を探るべく、IQ検出器、IQ変調器を用いたRFフィードバックシステムを試作した。制御部分にはADC/FPGA/DACを混載した市販のボードを用い、FPGAにデジタルPI制御を組み込んだ。現行の1MHzの周波数変換を伴ったPLLフィードバック回路[2]と位相ノイズのレベルについて比較したところ、最大20[dBc/Hz]程度の改善が確認できた。本報告ではこのシステムの実現方法と現行システムとの位相ノイズ比較結果を述べる。

2. 試作システム

近年の通信システムの発展に伴い、様々なRFデバイスが手に入り易くなってきている。今回使用したIQ検出器・変調器もそのひとつであり、理研SCSS試験加速器、J-PARC等でもIQ変調を用いたRFローレベル系が実現されてきている[3]。またFPGA(Field Programmable Gate Array)と呼ばれるユーザ側で比較的自由に高速・大規模なデジタル回路を1チップに組み込めるデバイスも発展し、加速器関連

においても様々な箇所で使用が進んできている[4]。今回これらのデバイスを用い、RF信号のIQに対して検出、制御を行うシステムを組み立て、現行のシステムで問題視されはじめた位相ノイズに関し、ノイズの低減に効果があるかどうかを検証してみた。

2.1 使用デバイス

今回の試作システムに使用したデバイスは以下のとおりである。

- IQ検出器
RF2721 (RF MICRO DEVICES)
- IQ変調器
HMC495LP3 (Hittite)
- 制御部
HERON-IO5V-DO (hunteng.³)
Xilinx Virtex II FPGA with 1.5M gates
(XC2V1500 -6)
Two 210MSPS 12 bit A/Ds (AD9430)
Two 160MSPS 16 bit D/As (AD9777)

2.2 構成

試作したフィードバック回路のブロック図を図1に示す。IO5Vボードは2幅のNIMモジュールに収まり、NIMの+12/+6(5)Vの2電源で動作する。

2.3 制御方法/Digital PI制御

制御はデジタルPI制御をボード上のFPGAに回路を組み込むことにより行っている。

¹ E-mail: kkoba@spring8.or.jp ² 現所属: RIKEN, XFEL project /SPring-8, 1-1-1, Kouto, Sayo, Hyogo, 679-5148

³ <http://www.hunteng.co.uk/index.html/>

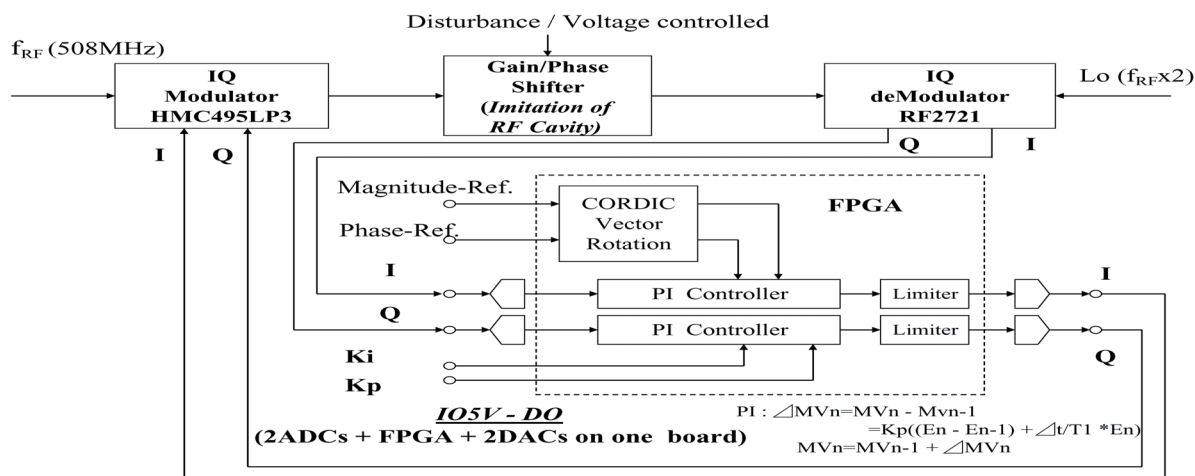


図1. Block Diagram

- 外部から与えられた振幅・位相の目標値からCORDICアルゴリズム (Xilinx提供IPを使用)のVector Rotationを用いI/Qの目標値I'/Q'を算出。

$$\text{Mag-ref.} / \theta \rightarrow (X, Y) / \theta, \text{ where } Y=0$$

$$I' = X \cos \theta - Y \sin \theta$$

$$Q' = X \sin \theta + Y \cos \theta$$

- IQ Demodulator (RF2721)で検出したIとQをADCでデジタルデータに変換、FPGA内部でDigital PI制御による演算を行いIとQの操作量を算出。

$$\text{MVn (操作量)} = K_p \times \text{偏差} + K_i \times \text{偏差の累積}$$

$$= \text{MVn-1 (前回操作量)} + \Delta \text{MVn (変化分)}$$

$$\Delta \text{MVn} = \text{MVn} - \text{Mvn-1}$$

$$= K_p \times (\text{En} - \text{En-1}) + K_i \times \text{En}$$

$$\text{or}$$

$$= K_p \times ((\text{En} - \text{En-1}) + \Delta t / T_1 \times \text{En})$$

- 算出したIとQとをDACを通しIQ Modulator(HMC495)に与えて位相・振幅を目標値に制御する

IO5Vボードに搭載のFPGAはXilinxのXC2V1500-6で、開発環境にはXilinxのISEを使用した。回路はVHDL/Schematic混在記述で内部ロジックの使用量は今回の場合、全体リソースの30%程度になっている。制御ロジックのLatencyは10 cycle (PI:8, peripheral:2)であり、ADC/DACそれぞれのLatency:15/6を加えるとトータル31 cycleになる。ボードは回路を組みこんだ状態で凡そ50MHz~100MHzの動作クロックが可能であり、620ns~310nsで1回のPI制御値を出力することになる。

3. 評価

評価は過渡応答特性、外乱抑制度、位相ノイズについて行った。外乱は図1に示されるPhase Shifter (電圧制御)のコントロール入力に信号を加えるこ

とにより与えた。本来ならCavityの応答を模した制御対象が必要であるが、今回はまずPhase Shifterの応答で評価を行った。制御回路から見た変調器・制御対象・検出器を含めた応答速度は160ns程度であることを高速のゲイン・位相検出器AD8302 (Response time 60ns, 周波数帯域DC~30MHz)を用いて確認している。原発振器にはAgilent8662Aを使用、FPGA・AD/DAの動作クロックは60MHz、RF周波数は508.577MHzにて評価を実施した。

3.1 過渡応答

外乱を与えた際のデジタルIQフィードバック回路の過渡応答特性を測定するために、矩形波の制御電圧をPhase Shifterに入力した。その時のRF出力をAD8302に入力し、ゲイン・位相の時間変化を観測した。

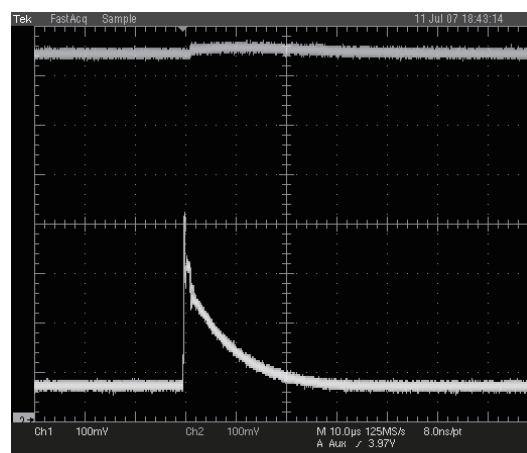


図2 AD8302出力 上:ゲイン、
下:位相(180deg./1800mV)、横軸10us/div.

図2に例として位相を40deg.変化させた時のAD8302の検出出力を示す。20 μs程度で整定されていることが判る。

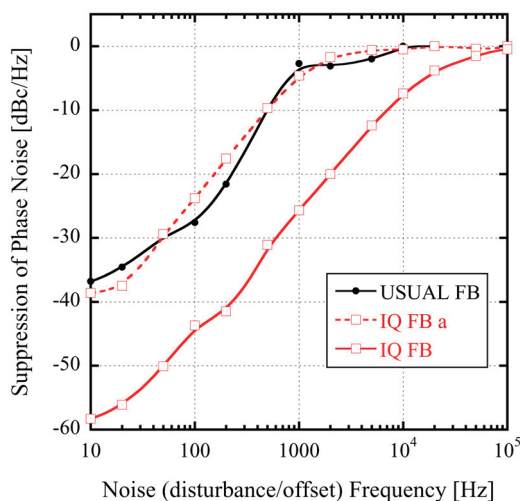


図3 外乱抑制制度

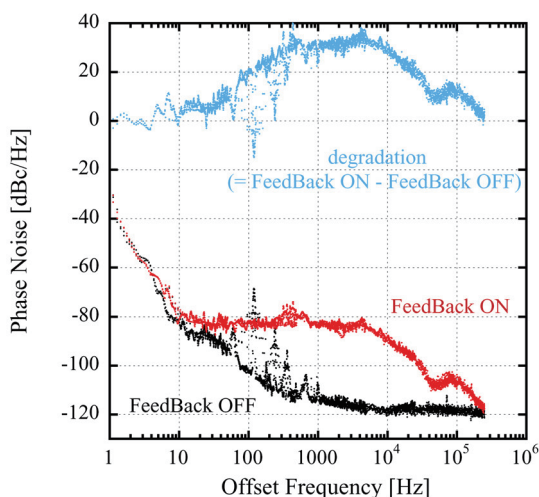


図4 位相ノイズ (USUAL-FB)

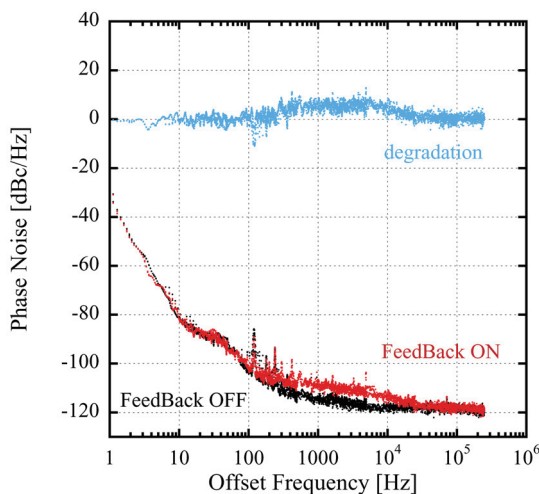


図5 位相ノイズ (IQ-FB)

3.2 抑制制度比較

Phase Shifterを連続正弦波でドライブし、そのときにキャリアのサイドバンドとして現れる信号の強度をFeedBackのON/OFFそれぞれの条件でR&S社スペクトラムアナライザ (FSU8/1129.9003.08) を用い測定した。Feed Back ON/OFFでの信号強度の差がシステムの外乱抑制制度に対応する。

図3に結果を示す。図中、赤色の実線・鎖線がIQでの結果である。鎖線は制御のPI係数を調整し、ゲインを従来のFBと同等にした結果であり、係数、さらには動作クロックを変えることによりこのような調整が可能である。

3.3 位相ノイズ比較

FeedBackのON/OFFでのキャリアに対する位相ノイズをR&S社スペアナ (FSU8) でspanを変えながら外乱を入れずに位相ノイズのフロアレベルを観測することにより測定した。結果を図4、図5に示す。

図から、IQを用いたFeedBackでは従来のものに比較し、

- ・ 10Hz~200KHzにおいて改善がみられる
- ・ 特に100Hz~20KHzにおいて20dBc/Hz超の改善が確認できる。

4. まとめ

本試作システムの評価で従来のフィードバック回路に比べ位相ノイズの改善が期待できることが判った。今後、RFテストスタンドによる実際のクライストロンの試験運転に向け、出力のリミッタ、制御方法の整備 (従来回路との整合性) 等の検討、使用するIQ変調器・検出器の精度、安定度の確認を進めていく予定である。

参考文献

- [0] T. Ohshima, N. Kumagai, "Suppression of Coherent Synchrotron Oscillation of the SPring-8 Storage Ring", PAC2001, Chicago, USA,
- [1] Y. Ohashi et al. "RF Low Power System for the Storage Ring", SPring-8 Annual Report 1996, URL: http://www.spring8.or.jp/pdf/en/ann_rep/96/P161-163.pdf
- [3] S. Michizono, et al., "Performance of a Digital LLRF Field Control System for the J-PARC Linac", Proc. of LINAC 2006, Knoxville, Tennessee USA..
- [4] A. Rohlev et al. "All Digital IQ Servo-System for CERN Linacs", EPAC 2004, Luzern, Switzerland.