

MECHANISM FOR COMPLEX MODE MPS

Atsuyoshi Akiyama, Hidetoshi Nakagawa
High Energy Accelerator Research Organization (KEK)
1-1 Oho, Tsukuba, Ibaraki, 305-0801

Abstract

J-PARC is composite facility mainly on the accelerators with multiple experiment area. One trouble influences the whole, because the accelerator is commonly used. The high intensity is a goal on this facilities. It does not agree with the aim with that the down time is big. It was proposed that the down time could be reduced, if composition of the accelerator and linkage of the experiment area are analyzed, and if the appropriate operation is done. Proposed change would be carried out in the near future. Since the beginning, we have done the design in which the complicated selection is possible for the MPS of MR. The logic of the MPS which can deal with the complicated situation is introduced.

多重モード型 MPS(Machine Protection System)の実装方法

1. 序

J-PARC にはその名の様に複数の独立した実験エリアが存在する。それらの実験施設は加速器を共有するためお互いに絡み合っている。施設の運用上、実験エリアを分離して運転ができると、加速器の利用効率が向上するので望ましい。加速器がある程度順調に稼働し実験グループへのビーム供給が安定になってくると、異常時に部分的な停止を行い、異常の影響が及ぶ範囲を小さくする動きが出てくる。

機器保護装置 (MPS) は加速器構成装置に異常が発生したことを検知すると加速器の運転を停止し、加速器の放射化を可能な限り小さくする目的で設置された装置である。異常が発生すると加速器の運転を停止するのが基本である。システム構成によっては一部の機器に異常が発生すると、すべての実験エリアの運用が不可能になる。しかし、異常の程度によっては、お互いの干渉を小さくする方法もある。



図 1 MPS の信号の流れ

J-PARC の MR の MPS の設計に際しては、異常による停止の範囲を最小にするように配慮した。また、管理上の変遷に柔軟に対応できる設計にもしてある。ビームを利用する実験のために加速器の連続運転を始めると、構成要素の異常による停止を分別し区分して停止する要求が強くなってきた。

MR の MPS でできることを示すために、J-PARC の MR の MPS の論理処理の設計（実装方法）を示す。

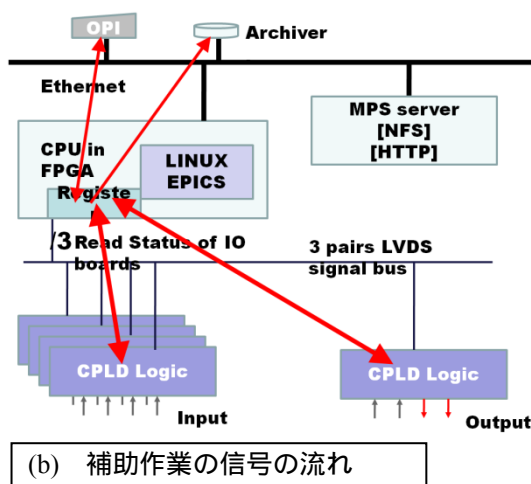
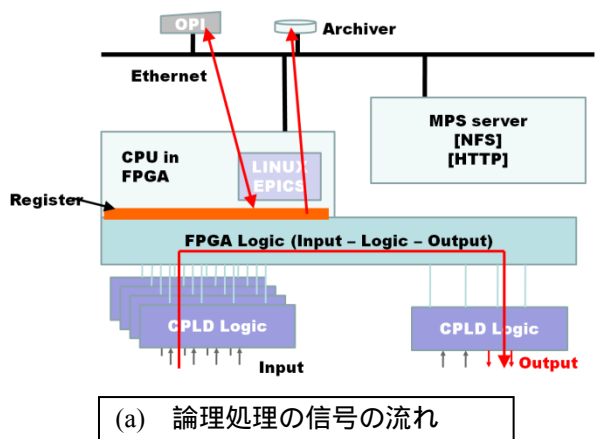


図 2 2 種類の情報伝達方式

2. 使用技術

異常が検出された後数十 μ 秒のうちにビームをリング内から蹴りだすとほとんどのビームを廃棄できるという計算結果が報告されていた。[1] そのために、MPS は装置単体では 1μ 秒以下で論理処理ができ、伝送線（光）などの遅延時間を含めても 10μ 秒以下で処理を済ませることができる。それを実現するために FPGA を使用した。論理処理に FPGA を使うことで、IC の数を減らしながら高速での高度な論理判断を柔軟に行わせる装置を構築することができた。FPGA の素子数の増加のおかげで FPGA のチップ内

に CPU が付く。その上で LINUX が動き外界との情報交換もできる。FPGA の内部で行う論理判断を外部から制御できるように共有レジスタを設置した。

ネットワークから制御される共有レジスタを使いながら、論理処理は単純な論理回路で行うことで柔軟性と高速性を実現した。

3. 構成

J-PARC の航空写真に MPS が関係する建物名を記入したのが図 1 である。D1,D2,D3 が MR 関係の電源棟で MPS の信号源となる装置群が設置されている。さらにハドロン（HD）やニュートリノ（NU）の実験エリアから問題発生時にビーム停止信号が D3 の MR の集約装置まで来る。

信号線を少なくするために、論理処理は各部屋のサブラック単位で行っている。各電源棟には装置を監視する 1 または 2 台の MPS のサブラックが設置されている。信頼性の確保のために、伝送系は 2 重化されている。D3 電源棟には 2 重化された MR 系の集約装置があり、ここでの判定結果が中央制御棟（CCB）に送られ、運転停止や、部分停止の処理に使われる。[2]

ビーム廃棄用キッカーの電源も MR の集約装置と同じ建物である D3 電源棟にある。MR 内にあるビームの廃棄は MR だけの仕事で済むので、信号は CCB には送られない。2 重化された集約装置からビーム廃棄の制御装置へ直接送られる。ビーム廃棄に関しては、MPS から出した信号が有効に使われているとは言えず、近い将来の検討課題である。

4. 信号処理技術詳細

高速処理を実現するために MR の MPS に使った幾つかの技術を説明する。

4.1 CPU コアの利用

FPGA に CPU コアを付け、外部からの制御を行うようにした。その制御下で入力ボードの状況を確認する機能も付けた。図 2 に示すように 2 種類の制御で必要な機能を実現している。

高速の論理を制御する双方向レジスタによる制御と、入力ボードのマスク状況をポーリングで読みだす機能である。MPS のために、使われていないポートは後の論理処理に影響を与えないようにしておく必要があり、MR の MPS の入力ボードは各入力ビット毎にマスクの SW を持つ。中央制御の方でそれを知る必要があり、それらの情報を読み出すことができる。ただし、この種の情報は速く変わることはないの、ポーリングで読みだす機能で十分である。

一方、異常判定は十点以上の信号に対して 1 マイクロ秒以下で決定を行わねばならない。リアルタイム OS を持つ CPU の割り込み処理ですら、処理の保障がされない領域である。そこで CPU からの制御情報は双方向レジスタに書き込むだけとする。異

常発生信号は FPGA に送られ図 3 のようなレジスタとの演算処理を行い、加速器の上流部分へ送り、ビーム停止などの処理を行う。

4.2 行き先制御レジスタ

加速器の運転モードを常時 EPICS を通して取り込む。その情報を基に、正常に運転されていなければならない装置と停止していても運転に支障のない装置を判別し、必要とされる機器でのみ MPS 信号を発報させる。

4.3 タイミング制御レジスタ

また、運転上の事情でビーム廃棄できない時間帯が存在する。ハドロン実験(HD)のために遅い取り出しを行っている間はビーム廃棄を行わない約束になっている。その時間内ではビームの廃棄指示を出さないようにする必要もある。

4.4 発報制御レジスタ

さらに大事なのが、MR 系機器の異常がすべてリング内のビームの廃棄に結びつくわけではないことであり、MR の一部の機器を除き、機器の異常で加速器全体を停止する必要がないことである。そこで、各入力信号をビームの行き先や加速器のフェーズを見て出した結果に対して、それは「J-PARC 全体の停止」「MR だけの停止」「ビーム廃棄を行う」のどれに対応するかをレジスタに設定しておき、異常発生時には対応する信号線をドライブする方法を採用した

4.5 EPICS

レジスタへの書き込みや読み出しは、LINUX に実装した EPICS を使い行う。高速処理回路のための双方向レジスタも、各出力ボード内のステータスを読むのも基本的な扱いは同じである。ヒューマンインターフェースである OPI やデータ記録保管のアーカイバも EPICS の共通処理システムで動くので操作も操作手段(プログラムなど)の開発も容易である。

5. 利用可能性

この装置の開発は J-PARC の MR で機器異常が発生し加速器の放射化防止のためにビーム停止を行う必要が生じた時に、高速の論理処理を実現することを目標に開発された。しかし、異常停止から何かを止めると解釈するならば、ビーム以外のものを停止するためにも役立つ。KEK では試験的なプロジェクトに機器異常の内部保護機構への応用なども検討されている。複雑な装置の一部に異常が認められると全体を停止するような応用である。論理装置が FPGA であり、論理素子数の許す範囲で柔軟な対応が可能である。もちろん、入力すべての論理和を作り出力をとというのも可能である。

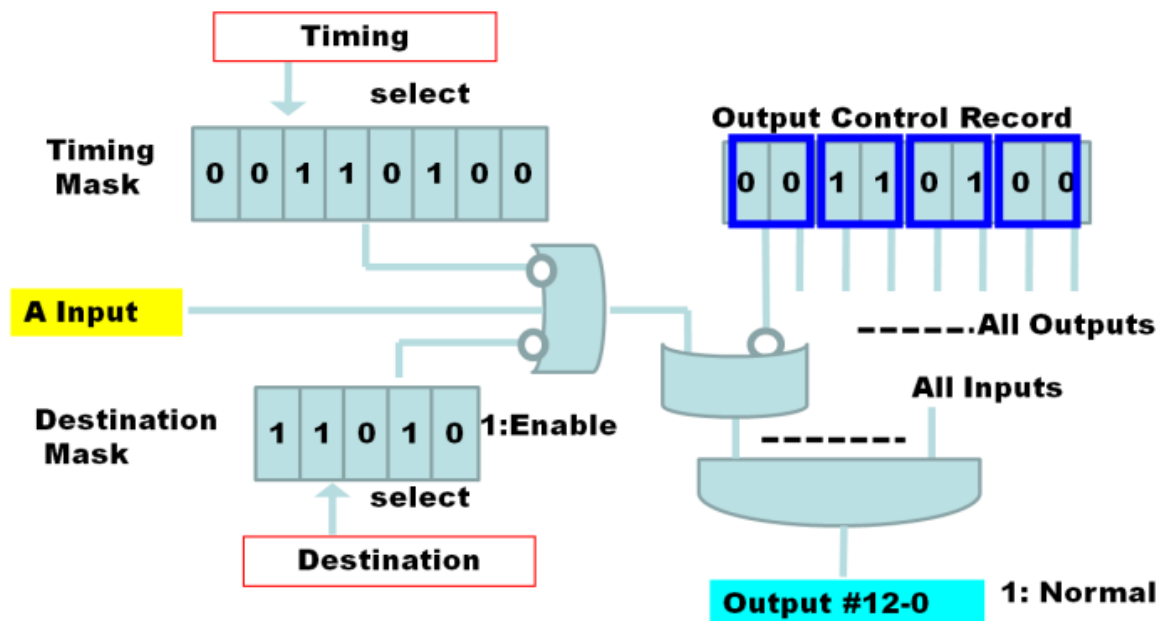


図 3 各入力点(機器からの情報)毎の論理処理方法
 ビームの行き先、加速器のフェーズで異常判定
 その後、停止指示線やビーム廃棄指示線のドライブを決定する
 各出力線ごとにすべての入力点の結果の論理和をとり、ドライブする

6. 最後に

J-PARC は複数の実験エリアを持ち、また、加速器の途中からも実験エリアへビームを出すという複雑な構成の施設である。しかも、実験を短時間で済ませることができるように世界的に最先端となるようなビーム強度が求められる。全体の整合性という観点からは装置のダウンタイムを減らして、利用率を上げることも重要な要求事項である。[3]

MR 部の設計の初期から必要事項を考慮し、複雑な要求に対応しながらも、加速器の運転効率を悪化させないで加速器の保護を行えるような方法を検討し、このシステムを設計した。最近の要求事項から、十分に当を得た設計であったと考えられる。

また、LINUX/EPICS が FPGA 内にあるために外部配線が必要なく、作業量の低減、コストダウンなどのメリットがある。さらに有利なのは外部機器との配線に乗るノイズの心配が減ることである。配線を短く、少なくでき、それらをそれなりの周波数ですら同一ポテンシャル内に設置できるため、高速処理にはエンベデッドシステムは望ましい。

参考文献

- [1] <http://www-cont.j-parc.jp/members/hn/MPS5/Katoh.pdf>
- [2] Nakagawa et.al., “The Accelerator Protection System Based on Embedded EPICS for J-PARC”, ICALEPCS2009, Kobe.
- [3] Yamamoto et.al., “J-PARC Accelerator MPS functionality for High Availability”, 第7回加速器学会年会