

[12P-27]

## DIGITAL FEEDBACK FOR THE RF SOURCE OF THE JHF 60-MEV LINAC

Shozo Anami, Shinichiro Michizono, Seiya Yamaguchi and Tamaki Watanabe

KEK, High Energy Accelerator Research Organization  
1-1 Oho, Tsukuba-shi, Ibaraki-ken, 305-0801, Japan

### Abstract

A digital controller has been desired to be able to be used in rf feedback system for a normal conducting proton linac. We are developing a fast digital controller using FPGAs interfaced with a DSP board with VME-bus.

### JHF 60-MeV リニアック高周波源のデジタルフィードバック

#### 1. はじめに

JHF 60-MeV 陽子リニアックの高周波源に求められる加速電圧の振幅及び位相に対する許容誤差はそれぞれ 1%、 $1^\circ$  となっている。この許容値を達成するには、フィードバックとフィードフォワードとを組み合わせた制御が必要になるが、フィードバックの制御器は、その高速性からアナログとするのが世界的に見ても通常である。従来より、高速と言え ASIC (Application Specific IC) 等を用いればアナログと同程度のものであったが、その開発期間と費用面から現実的ではなかった。しかし、近年のデジタル化の流れでこの状況は変わり、プログラマブルデバイスの高性能・低価格化の進展、更に使い易い開発環境の充実で、少数規模で一般性を欠くものでも、高速性を満たしたデジタル化が容易になって来た。ここでは、フィードバック特性のシミュレーションを MATLAB/Simulink を用いて行い、得られる許容遅延時間から、具体的なデジタル制御器の検討を行う。

#### 2. 空洞の等価回路とブロック線図

一般に、伝送線路や空洞から成る系を制御理論で取り扱う場合は、それぞれが入力によって出力を与える 1 つのシステムと考え、そのインパルス応答 ( $t$ -domain) を Laplace 変換 ( $s$ -domain) した伝達関数で表現される。また、入出力及び機器間の関係はブロック線図上で関係付けられる。電源、伝送線路、ビーム負荷、及び空洞から成る系の電源側から見た等価回路をこのブロック線図で表すと図 1 のようになる。図中の  $v_f$  と  $v_r$  はそれぞれ空洞への入射波と反射波を見るためのモニタである。 $v_c$  に掛かる  $n$  は空洞を電源側から見た場合の 1 次 2 次間の昇圧比 ( $n^2=1/\beta$ 、 $\beta$ : 結合係数) で、空洞側から見た空洞電圧を全ての場合について同一の基準値とするために必要になる [1]。 $Z_c$  は空洞の電流インパルス応答を示し、通常の LCR 並列回路の計算から得られる。

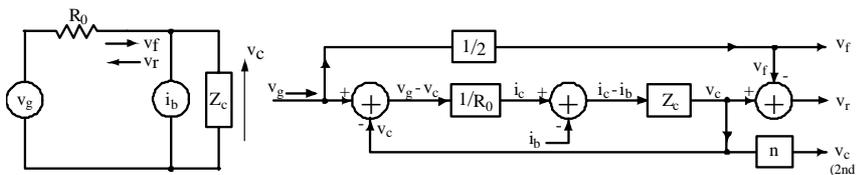


図 1 電源、伝送線路、ビーム負荷及び空洞の等価回路と対応するブロック線図

#### 3. ベースバンド解析

高周波信号を取り扱う数値計算でその実行を現実的な時間に抑えるには、ベースバンド解析と呼ばれる手法を取り入れる。この方法は通信システム分野では広く用いられ [2]、LANL では標準的な解析手法として確立したものとなっている [3]。この方法を要約すると、全ての信号はキャリア周波数の近傍にあり  $t$  で変化しているとする、信号の持つ全情報はその振幅項 (複素数) で表すことが出来る。従って、 $\exp(j\omega t)$  は取り除く事ができ、計算時間が圧倒的に短縮される。この時、入出力信号は I/Q 成分から成る complex envelope で、システムは  $s$  と ( $\omega = -j\omega$ ) の関数から成る complex impulse response で定義される。

#### 4. Simulink によるシミュレーション

図 1 で示すブロック線図を基にフィードバック制御のシミュレーションを MathWorks 社の Simulink ツールを用いて行った。図 2 にそのブロック図を示す。上半分が I 成分、下半分が Q 成分で、空洞部でクロスしているが、完全な対称構成となっている。右側は全て監視系で、To Workspace とあるのはデータのメモリーへの書き出しで、波形のプロット等に用いられる。ここには示していないが、このブロック図を操作する GUI の画面が他があり、空洞の設定、ビーム電流、ループ内の遅れ、PID の定数、フィードフォワードの設定等が容易に選べる様になっている。同図に示す波形は、60mA 加速時に最適な結合係数と離調角を持つ空洞 DTL-1 で、50mA のビームを加速した時に得られる空洞電圧の振幅と位相波形である。この時、PID の D はゼロ、フィードフォワードは利かせず、フィードバックのみとしている (以下も同様に、ここでの議論の目的からフィードバックのみを取り扱う)。また、ビーム電流の立上り・立下りは  $3\mu\text{s}$ 、設定値の立上り・立下りは  $30\mu\text{s}$  となる台形波としている。PI の設定は不安定にならない程度に大きく取っているが、振幅

はビームの立上り・立下り時に許容値を大きく超えている。尚、この時、クライストロン増幅器の帯域及びデジタル化の遅れを模擬するフィルタ及び 0 次ホールドは、それぞれ 1 MHz、 $0.1\mu\text{s}$  として、影響が現れない様にしている。この様に理想化した場合、

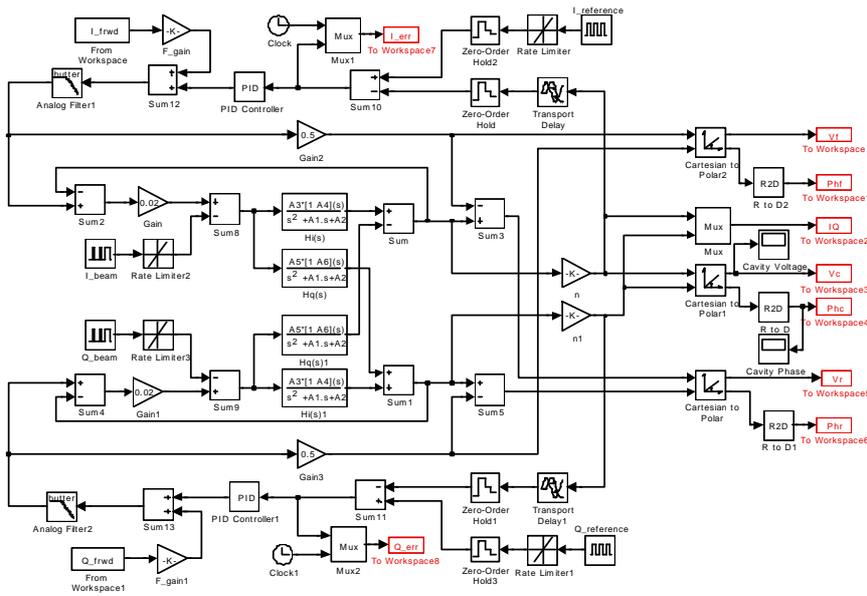


図 2a フィードバックシステムの Simulink ブロック図

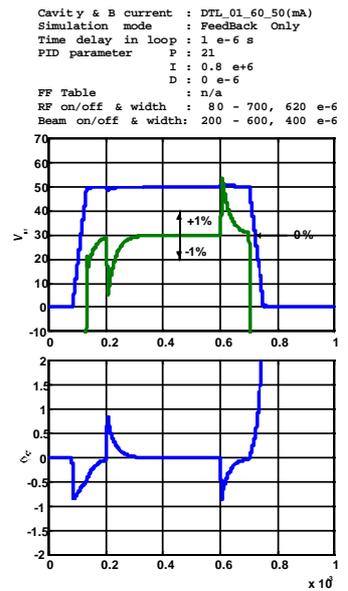


図 2b 空洞電圧の振幅・位相波形

フィードバック特性はほとんどループの遅れ（図中の Transport Delay）によって支配される。このシミュレーションでは安全を見てこの遅れを  $1\mu\text{s}$  としているが、これは、例えば  $100\text{kHz}$  の信号に対して  $36$  度の位相遅れを誘起する。

### 5. クライストロン増幅器に求められる周波数帯域幅

上述のシミュレーションでは、クライストロン増幅器はほぼ理想的な周波数帯域幅を持つものとして、利得  $1$ 、帯域幅  $1\text{MHz}$  としていた。しかし、本来クライストロンは、非直線性が強く、サグ等による電圧変動による位相の回転が大きいものである ( $10\text{deg}/\%$ )。これを裸特性のまま空洞を含むフィードバックループの中に用いると、全許容誤差の多くをクライストロンが占めてしまうことになる。これを防ぐには、直線化を図り、位相変動を抑制する局所的なフィードバックを更に設ける必要がある。このクライストロンフィードバック特性については、その試験結果が報告されているが<sup>[4]</sup>、問題となるのが帯域幅である。ここでは、図 2a のシミュレーション上で、徐々に帯域幅を狭くして行き、どの辺りから加速電圧の特性に影響し始めるかを調べた。但し、ここでは簡単のためクライストロンを 1 次のパワース形ローパスフィルタに置き換えている。PI 一定の下でフィードバックが不安定になる周波数はほぼ  $100\sim 200\text{kHz}$  であった。勿論、P と I を調整すれば、それなりに特性は劣化するが、これ以下の帯域でも安定なフィードバック性能が得られる。しかしながら、 $100\text{kHz}$  の帯域ではパルス立ち上がり時間がほぼ  $3\mu\text{s}$  になるため、この立ち上がり時間よりも速いビーム負荷に対してはフィードフォワードの補正が意味を持たないものになってしまう。従って、 $100\text{kHz}$  は是非とも確保しなければならない帯域である。

### 6. フィードバック制御器のデジタル化

計算機で制御される加速器の被制御機器は全てデジタル化

されている訳であるが、その処理スピードとリアルタイム性が問題となる部分はアナログのままであり、きめ細かな制御やデータの管理の上で問題を残している。常伝導陽子加速器の高周波制御では、その要求性は高く、また、既にデジタル化されたフィードフォワード系を備えているにも関わらず、高速性の上からフィードバック系はアナログのままとなっている。一方、超伝導空洞の場合、その必須性が更に高いのが主であろうが、高速性が余り厳しくないことから DSP を用いたデジタルフィードバックが実現されている (TESLA Test Facility, 1 マシン・サイクル  $4\mu\text{s}$ )<sup>[5]</sup>。

フィードバックに DSP を用いる場合は、その汎用性が故に、要となる ADC であってもあくまで外部ペリフェラルの 1 つにすぎず、プログラム制御の下でデータを読み込み、同期化のための FIFO 等を経由してレジスタに至り、演算ユニットで処理された後、また同様な経路を経て、ようやく 1 点のアナログ値が DAC から吐き出される。これら一連の道のりは長く、いかに簡単な計算であっても、1 マシン・サイクルには大きなオーバーヘッドを要することになる。一般の汎用 DSP あるいは DSP ボードは、一旦多くのデータを貯めてブロック転送し、まとめて処理する事を前提としており、ここで用いるような細切れデータの高速リアルタイム処理には不向きであると言える。一方、PLD (Programmable Logic Device) の一種である FPGA (Field Programmable Logic Array) を制御器に用いる場合は、利用目的に合わせてカスタマイズできる事から、ADC - 演算ユニット - DAC を専用の回線で直結できる。この時、特に大きなオーバーヘッドを必要とせず、簡単な計算であれば、AD/DA の遅れを含めても  $100\text{ns}$  程度の処理時間で済ませることが可能となる。近年、FPGA はその速さと密度が飛躍的に向上し、デジタルラジオや次世代携帯電話等で大いに期待される注目の素子である。

デジタル化に伴う遅れ時間による加速電圧のフィードバック特性への影響を調べるため、前節と同様な方法で最大許容遅

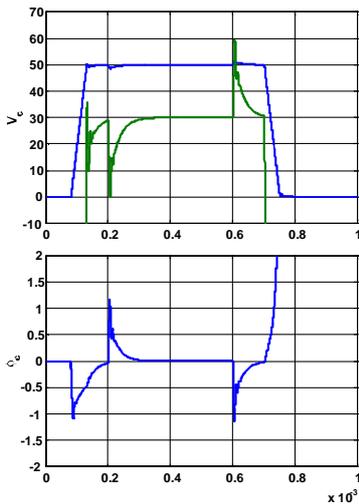


図 3 クライストロンの帯域を 200 kHz、デジタル化の遅れを模擬した 0 次ホールドを 0.5  $\mu$ s とした時の空洞電圧の振幅・位相波形。図 2b に比べ大きな違いは起こっていない。

延時間を求めた。即ち、デジタル回路の遅れを模擬する図 2a の 0 次ホールドの時間を徐々に長くして、フィードバックが不安定になり始める遅れ時間を調べた。遅れという意味では、閉ループ全体の遅れとその振る舞いが同一と考えられるが、0 次ホールドの場合は、サンプルホールド時間と解釈される。即ち、ホールドされた間はデータの更新が止まり、飛び飛びの値がその時間ステップ状に出力される。得られた結果を図 3 に示すが、これはクライストロンの帯域幅を 200 kHz、0 次ホールド時間を 0.5  $\mu$ s とした時の波形である。この帯域幅を 1 MHz 以上とするならば許容遅れは 1  $\mu$ s となるが、何れの場合もループ遅れ (1  $\mu$ s) との兼ね合いがある。ループ遅れ 1  $\mu$ s (ケーブル長で 200 m 相当) はかなり安全を見込んだ値であり、これを 0.5  $\mu$ s とするならば、帯域幅 200 kHz でも 1  $\mu$ s が許容される。従って、ここでの結論は、最低限達成しなければならないデジタル化の遅れは 1  $\mu$ s、目標値は 0.5  $\mu$ s 以下になる。

## 7. デジタル制御器の構成と今後の方策

現在、デジタル制御器は図 4 で示すような構成で計画している。ここでは、先ず空洞からの信号 324 MHz を中間周波数 12 MHz に落として ADC に入力する。ADC では 4 倍のオーバーサンプリングで取り込み、FPGA の入力バッファ (FIFO) で I、Q 成分に振り分ける。この時、I/Q の比によって決まる位相は入力クロック 12 MHz に対する相対的な値である。ここでは、全てがこのクロックをタイムベースとしており、4 倍 (48 MHz) が AD/DA (何れも 12 ビット) のサンプリングに、8 倍 (96 MHz) が FPGA の同期に使用される。また、この 12

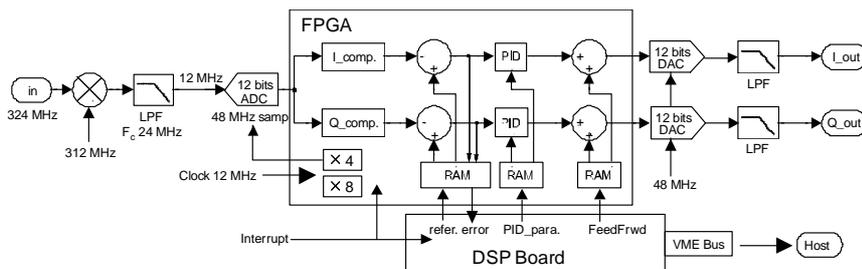


図 4 デジタル制御器の構成

MHz クロックはリニアックの全トリガー系のタイムベースでもあり、リニアックに関わる全パルスがこのクロックに同期している。検出された I/Q 成分それぞれは、負帰還となるために、先ず目標となる基準値からの差となり、PID で処理され、フィードフォワード値との和となって、DAC からアナログ値で出力される。出力される I/Q 値は、勿論、324 MHz の I/Q モジュレータへの信号となる訳であるが、ここを FPGA からの I/Q 2 成分出力とせずに、I/Q によって定まる 12 MHz の正弦波を 1 出力し、1 つの DAC から取り出し、312 MHz のミキサへの信号とすることも考えられる。この方式は、FPGA を DDS (Direct Digital Synthesizer) として使用することになる。この場合、DAC を含めた同期のタイムジッタ (位相ジッタ: 1deg/230ps) が問題になると予想される。間もなく入手予定の FPGA 評価ボードには、AD/DA がそれぞれ 2 つずつ搭載されているが、先ずはこの方式を試みたいと思っている。尚、この FPGA 評価ボード (GV & Associates 社の GVA-270、FPGA は Xilinx 社の Vertex シリーズ) は DSP ボード (テキサス・インスツルメンツ社の EVM または DSK) の外部メモリ・バス及びペリフェラルバスに接続されることが想定されている。

最後になるが、一般的な 2 つのミキサと 2 つのハイブリッドから成るハード I/Q モジュレータ・デモジュレータは、その構成上誤差を持ち、ダイナミックレンジもそれ程広くない。このため適当な補正を必要とするが、十分な精度は得難く、また高精度のものは高価でもある。一方、デジタル化された中での計算による分解・合成は、この点で理想的なものとなる。この違いは、フィードバック系の検出器として用いる場合は非常に大きく、達成される精度はもとより、オフセット調整や再校正と言った煩わしさからの回避、結果として得られる高安定なフィードバック性能等、このデバイスだけに限ってもデジタル化の有意性は大なるものである。この意味で上記の 1 出力方式は、検出器程の重要度はないが、是非達成したい第一候補である。

## 参考文献

- [1] S. Anami et al., Proc. of the 23rd Linear Accelerator Meeting in Japan, 1998, pp. 52-54.
- [2] S. Haykin, *Communication Systems*, J. Wiley & Sons, Inc., New York, 1994, pp. 85-97.
- [3] S. P. Jachim and E. F. Natter, *Beam Loading and Cavity Compensation for the Ground Test Accelerator*, Proc. of IEEE Particle Accelerator Conf., 1989, pp. 1870-1873.
- [4] S. Yamaguchi et al., *Feedback Control for 324-MHz Klystron*, Proc. of this meeting, 2000.
- [5] S. N. Simrock et al., *Design of the Digital RF Control System at the TESLA Test Facility*, EPAC96, pp. 349-351.